

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127280

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 29/43
H01L 21/316
H01L 29/78
H01L 29/786

(21)Application number : 11-302167

(71)Applicant : SONY CORP

(22)Date of filing : 25.10.1999

(72)Inventor : KATAOKA TOYOTAKA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND P- CHANNEL TYPE SEMICONDUCTOR DEVICE

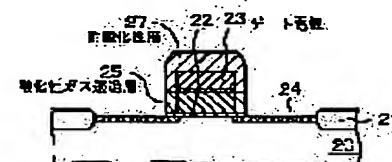
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device wherein, at post-oxidation for improved characteristics and reliability, a metal layer constituting a gate electrode is prevented from being oxidized while the fluctuation in threshold voltage is suppressed.

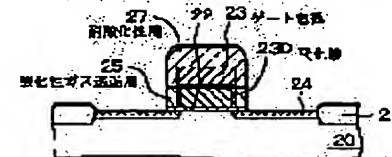
SOLUTION: The method for manufacturing a p-channel type semiconductor device comprises a process A where a gate insulating film 22 is formed on the surface of a semiconductor layer 20, a process B where a gate electrode 23 is formed where a metal layer 23C and a silicon layer 23A comprising p-type impurity are laminated, a process C where an oxidizing gas permeable layer 25 is so formed on the semiconductor layer 20 as to cover the side surface of silicon layer 23A while allows the metal layer 23C to protrude, a process D where an oxidation-resistant layer 27 covers the top surface and side surface of the metal layer 23C which protrudes above the oxidizing gas permeable layer 25, a process E where the oxidizing gas permeable layer 25 is selectively removed and is left out on the side surface of silicon layer 23A, and a process F where an oxide film 23D is formed on the side surface of silicon layer 23A by a thermal process in an oxidizing atmosphere.

【図5】

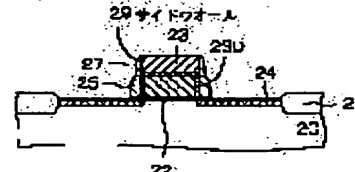
(A) 工程-160: 酸化



(B) 工程-170



(C) 工程-180



LEGAL STATUS

[Date of request for examination]

13.03.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2. **** shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (b) On a semi-conductor layer, carry out patterning of a metal layer and the silicon layer after carrying out sequential formation of a silicon layer and the metal layer. So that the process which forms in a side face the layered product which the silicon layer exposed, and the side face of a (b) silicon layer may be covered and a metal layer may project. The process which forms an oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with an oxidation-resistant layer the top face and side face of a metal layer which were projected from the oxidizing gas (Ha) transparency layer, the process which removes alternatively the oxidizing gas transparency layer on a (d) semi-conductor layer, and leaves an oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in a (e) oxidizing atmosphere — since — the manufacture approach of the semiconductor device characterized by changing.

[Claim 2] It is the manufacture approach of the semiconductor device according to claim 1 which a metal layer consists of a tungsten and is characterized by a layered product constituting a gate electrode.

[Claim 3] It is the manufacture approach of the semiconductor device according to claim 1 characterized by for an oxidizing gas transparency layer consisting of silicon oxide, and an oxidation-resistant layer consisting of silicon nitride.

[Claim 4] (b) On a semi-conductor layer, carry out patterning of an oxidation-resistant layer, a metal layer, and the silicon layer after carrying out sequential formation of a silicon layer, a metal layer, and the oxidation-resistant layer. So that the process which forms in a side face the layered product which the silicon layer exposed, and the side face of a (b) silicon layer may be covered and an oxidation-resistant layer and a metal layer may project. The process which forms an oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with the oxidation-resistant film the side face of the metal layer projected from the oxidizing gas (Ha) transparency layer, the process which removes alternatively the oxidizing gas transparency layer on a (d) semi-conductor layer, and leaves an oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in a (e) oxidizing atmosphere — since — the manufacture approach of the semiconductor device characterized by changing.

[Claim 5] It is the manufacture approach of the semiconductor device according to claim 4 which a metal layer consists of a tungsten and is characterized by a layered product constituting a gate electrode.

[Claim 6] It is the manufacture approach of the semiconductor device according to claim 4 characterized by for an oxidizing gas transparency layer consisting of silicon oxide, and an oxidation-resistant layer and the oxidation-resistant film consisting of silicon nitride.

[Claim 7] (A) The process which forms the process which forms gate dielectric film in the front face of a semi-conductor layer, and the gate electrode with which the laminating of the silicon layer which contains p mold impurity on (B) gate dielectric film, and the metal layer was carried out, (C) So that the side face of a silicon layer may be covered and a metal layer may project. The process which forms an oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with an oxidation-resistant layer the top face and side face of a metal layer which were projected from (D) oxidizing gas transparency layer, (E) by removing alternatively the oxidizing gas transparency layer on a semi-conductor layer, and heat-treating in the process which leaves an oxidizing gas transparency layer to the side face of a silicon layer, and the (F) oxidizing atmosphere. The manufacture approach of the p channel mold semiconductor

device characterized by having the process which forms an oxide film in the side face of a silicon layer.

[Claim 8] A metal layer is the manufacture approach of the p channel mold semiconductor device according to claim 7 characterized by consisting of a tungsten.

[Claim 9] It is the manufacture approach of the p channel mold semiconductor device according to claim 7 characterized by for a oxidizing gas transparency layer consisting of silicon oxide, and an oxidation-resistant layer consisting of silicon nitride.

[Claim 10] (A) The process which forms the process which forms gate dielectric film in the front face of a semi-conductor layer, and the gate electrode with which the laminating of the silicon layer which contains p mold impurity on (B) gate dielectric film, a metal layer, and the oxidation-resistant layer was carried out, (C) So that the side face of a silicon layer may be covered and an oxidation-resistant layer and a metal layer may project The process which forms a oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with the oxidation-resistant film the side face of the metal layer projected from (D) oxidizing gas transparency layer, (E) by removing alternatively the oxidizing gas transparency layer on a semi-conductor layer, and heat-treating in the process which leaves a oxidizing gas transparency layer to the side face of a silicon layer, and the (F) oxidizing atmosphere The manufacture approach of the p channel mold semiconductor device characterized by having the process which forms an oxide film in the side face of a silicon layer.

[Claim 11] A metal layer is the manufacture approach of the p channel mold semiconductor device according to claim 10 characterized by consisting of a tungsten.

[Claim 12] It is the manufacture approach of the p channel mold semiconductor device according to claim 10 characterized by for a oxidizing gas transparency layer consisting of silicon oxide, and an oxidation-resistant layer and the oxidation-resistant film consisting of silicon nitride.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device, and the manufacture approach of a p channel mold semiconductor device.

[0002]

[Description of the Prior Art] In recent years, in a CMOS transistor, low-battery-ization is attained for low-power-izing, therefore, enough low moreover, symmetrical threshold voltage is required from a p channel mold semiconductor device and an n channel mold semiconductor device. In order to cope with such a demand, in a p channel mold semiconductor device, the gate electrode which consisted of polish recon layers containing old n mold impurity is replaced, and the gate electrode which consisted of polish recon layers containing p mold impurity is used. In addition, CMOSFET of such structure is called CMOSFET which has dual gate structure. However, by various kinds of heat treatments in the semiconductor device production process after gate electrode formation, the boron atom (B) which is p mold impurity usually used passes gate dielectric film from a gate electrode, reaches even a silicon semiconductor substrate easily, and fluctuates the threshold voltage of a p channel mold semiconductor device. Such a phenomenon appears much more notably, when gate dielectric film is made much more thin for low-battery-izing.

[0003] Moreover, there is a problem that rate-limiting [of the working speed of a semiconductor device] is carried out by RC delay in wiring of electrodes, such as a gate electrode, gate wiring, etc., with high integration of the semiconductor integrated circuit by detailed-izing of a semiconductor device in recent years. So, the gate electrode of the two-layer structure (polycide structure) of a polish recon layer and a metal silicide layer is used instead of the polish recon layer monolayer as a gate electrode. However, in the semiconductor device after 0.25-micrometer generation, the gate electrode of further low resistance is called for rather than the gate electrode which has polycide structure, and the gate electrode which has the poly metal structure attracts attention in recent years. Here, the gate electrode which has the poly metal structure has the structure where the laminating of a polish recon layer and the tungsten layer was carried out. In addition, the reaction prevention layer which consists of WN in order to prevent the reaction of silicon and a tungsten is formed between the polish recon layer and the tungsten layer.

[0004] In the production process of a semiconductor device, oxidation is performed, after forming a gate electrode and aiming at improvement in the property of a semiconductor device, or dependability. While the side face of a polish recon layer oxidizes by performing post-oxidation, it can control that leakage current occurs through the gate dielectric film with which the thickness of gate dielectric film [/ near the gate-dielectric-film edge] can set near the gate-dielectric-film edge by becoming thick.

[0005] In the gate electrode which has the polycide structure which consists of a polish recon layer and a tungsten silicide (WSiX) layer, a tungsten silicide layer with superfluous Si is usually used as a tungsten silicide layer rather than X= 2.0 which is stoichiometric composition. At a post-oxidation process, a semiconductor substrate is put on an oxidizing atmosphere, heating the semiconductor substrate with which the gate electrode was formed. Of this, Si of the surplus in a tungsten silicide (WSiX) layer oxidizes, and an oxidation silicone film is formed not only in the side face of the exposed polish recon layer but in the front face of a tungsten silicide layer.

[0006]

[Problem(s) to be Solved by the Invention] When it applies to the gate electrode which, on the other hand, has the poly metal structure where the laminating of a polish recon layer and the tungsten layer was carried out in post-oxidation, a tungsten layer oxidizes and it is set to WO₃. Since a big cubical expansion is followed on oxidation of a tungsten layer, exfoliation of a tungsten layer etc. occurs and there is a problem of it becoming impossible to manufacture a semiconductor device.

[0007] The approach for preventing oxidation of such a tungsten layer is well-known from JP,60-9166,A. According to the technique indicated by this patent public presentation official report, after forming gate oxide on a silicon semi-conductor substrate and forming the electrode which consists of a tungsten on gate oxide, it heat-treats in H₂ carrier gas which contains H₂O 10 ppm - 10% in the temperature requirement of 500-1200-degreeC. The thickness of gate oxide becomes thick by existence of H₂O, by existence of H₂ gas, oxidation of a tungsten layer is prevented and a silicon semi-conductor substrate oxidizes alternatively as a result.

[0008] When a polish recon layer and a tungsten layer apply the technique indicated by this patent public presentation official report to the gate electrode which has the poly metal structure by which the laminating was carried out, it is necessary to carry out ambient temperature more than 800-degreeC. However, after this, the boron atom which is p mold impurity usually used passes gate dielectric film from a gate electrode, reaches even a silicon semi-conductor substrate easily in an oxidation process, and fluctuates the threshold voltage of a p channel mold semiconductor device. And since hydrogen gas is contained in the ambient atmosphere of hot post-oxidization, the enhanced diffusion by hydrogen arises, and a boron atom passes gate dielectric film from a gate electrode still more easily, and reaches even a silicon semi-conductor substrate.

[0009] The purpose of this invention Therefore, when [for example,] oxidizing after aiming at the improvement of the property of a semiconductor device and dependability to the gate electrode which has the poly metal structure, The side face of the silicon layer which constitutes a gate electrode can be oxidized alternatively. Oxidation of the metal layer which constitutes a gate electrode can be prevented, and it is in offering the manufacture approach of the semiconductor device which can moreover control fluctuation of the threshold voltage of the semiconductor device resulting from post-oxidation as much as possible, and the manufacture approach of a p channel mold semiconductor device.

[0010]

[Means for Solving the Problem] The manufacture approach of the semiconductor device concerning the 1st mode of this invention for attaining the above-mentioned purpose On a (b) semi-conductor layer, after carrying out sequential formation of a silicon layer and the metal layer, patterning of a metal layer and the silicon layer is carried out. So that the process which forms in a side face the layered product which the silicon layer exposed, and the side face of a (b) silicon layer may be covered and a metal layer may project The process which forms a oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with an oxidation-resistant layer the top face and side face of a metal layer which were projected from the oxidizing gas (Ha) transparency layer, the process which removes alternatively the oxidizing gas transparency layer on a (d) semi-conductor layer, and leaves a oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in a (e) oxidizing atmosphere — since — it is characterized by changing.

[0011] The manufacture approach of the semiconductor device concerning the 2nd mode of this invention for attaining the above-mentioned purpose On a (b) semi-conductor layer, after carrying out sequential formation of a silicon layer, a metal layer, and the oxidation-resistant layer, patterning of an oxidation-resistant layer, a metal layer, and the silicon layer is carried out. So that the process which forms in a side face the layered product which the silicon layer exposed, and the side face of a (b) silicon layer may be covered and an oxidation-resistant layer and a metal layer may project The process which forms a oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with the oxidation-resistant film the side face of the metal layer projected from the oxidizing gas (Ha) transparency layer, the process which removes alternatively the oxidizing gas transparency layer on a (d) semi-conductor layer, and leaves a oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in a (e) oxidizing atmosphere — since — it is characterized by changing.

[0012] The manufacture approach of the p channel mold semiconductor device concerning the 1st mode of this invention for attaining the above-mentioned purpose (A) The process which forms the process which

forms gate dielectric film in the front face of a semi-conductor layer, and the gate electrode with which the laminating of the silicon layer which contains p mold impurity on (B) gate dielectric film, and the metal layer was carried out, (C) So that the side face of a silicon layer may be covered and a metal layer may project The process which forms a oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with an oxidation-resistant layer the top face and side face of a metal layer which were projected from (D) oxidizing gas transparency layer, (E) It is characterized by having the process which removes alternatively the oxidizing gas transparency layer on a semi-conductor layer, and leaves a oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in the (F) oxidizing atmosphere.

[0013] The manufacture approach of the p channel mold semiconductor device concerning the 2nd mode of this invention for attaining the above-mentioned purpose (A) The process which forms the process which forms gate dielectric film in the front face of a semi-conductor layer, and the gate electrode with which the laminating of the silicon layer which contains p mold impurity on (B) gate dielectric film, a metal layer, and the oxidation-resistant layer was carried out, (C) So that the side face of a silicon layer may be covered and an oxidation-resistant layer and a metal layer may project The process which forms a oxidizing gas transparency layer on a semi-conductor layer, and the process which covers with the oxidation-resistant film the side face of the metal layer projected from (D) oxidizing gas transparency layer, (E) It is characterized by having the process which removes alternatively the oxidizing gas transparency layer on a semi-conductor layer, and leaves a oxidizing gas transparency layer to the side face of a silicon layer, and the process which forms an oxide film in the side face of a silicon layer by heat-treating in the (F) oxidizing atmosphere.

[0014] the 1st or the 2nd voice of this invention — in the manufacture approach of the semiconductor device applied like, a metal layer can consist of a tungsten (W) or molybdenum (Mo), a silicon layer can consist of polish recon or an amorphous silicon, and a layered product can be made into the gestalt which constitutes a gate electrode. moreover, the 1st or the 2nd voice of this invention — in the manufacture approach of the p channel mold semiconductor device applied like, a metal layer consists of a tungsten (W) or molybdenum (Mo), and, as for a silicon layer, it is desirable to consist of polish recon or an amorphous silicon. It is desirable to form the reaction prevention layer which consists of various metal nitrides, such as WN, TiN, ZrN, and HfN, in order to prevent the reaction of the silicon atom which constitutes a silicon layer, and the metal atom which constitutes a metal layer between the metal layer which consists of a tungsten or molybdenum in these cases, and the silicon layer which consists of polish recon or an amorphous silicon.

[0015] In the manufacture approach of the semiconductor device concerning the 1st or the 2nd mode of this invention, or the manufacture approach (these may only be hereafter called this invention generically) of a p channel mold semiconductor device which starts the 1st or the 2nd mode of this invention again A oxidizing gas transparency layer (layer which may make oxygen gas and a steam penetrate) Although consisting of silicon oxide (SiO_2) is desirable, in addition, SOG (Spin On Glass), PSG (PhosphoSicicate Glass), BPSG (Boro-PhosphoSicicate Glass), BSG, AsSG, PbSG, SbSG, NSG, LTO (Low Temperature Oxide) Low-temperature CVD- SiO_2 and specific inductive capacity can mention what carried out the laminating of organic polymeric materials, such as 3.5 or less low dielectric constant insulating material (for example, the poly aryl ether, a cyclo perfluorocarbon polymer, benz-cyclo-butene) and polyimide, or these ingredients.

[0016] On the other hand, as for an oxidation-resistant layer and the oxidation-resistant film (the layer or film which cannot make oxygen gas or a steam penetrate easily), it is desirable to consist of silicon nitride (SiN) or SiON .

[0017] In the manufacture approach of the p channel mold semiconductor device concerning the 1st or the 2nd mode of this invention As the formation approach of a gate electrode that the laminating of the silicon layer (for example, a polish recon layer and an amorphous silicon layer) and metal layer containing p mold impurity is carried out, and they change After producing the silicon layer containing p mold impurity (for example, boron) on gate dielectric film based on a CVD method, a metal layer is produced on the whole surface. For example, subsequently After forming the approach of carrying out patterning of a metal layer and the silicon layer, and the silicon layer which does not contain an impurity on gate dielectric film with a CVD method and injecting p mold impurity (for example, boron and BF_2) into a silicon layer with ion-implantation, A metal layer can be produced on the whole surface and, subsequently the approach of

carrying out patterning of a metal layer and the silicon layer can be mentioned.

[0018] In this invention, the semi-conductor layer may consist of for example, silicon semi-conductor substrate itself, and can illustrate melting and the substrate made to recrystallize for polycrystalline silicon on the substrate which carried out epitaxial growth of silicon or the Si-germanium mixed-crystal system on the spinel, the substrate which carried out epitaxial growth of silicon or the Si-germanium mixed-crystal system on sapphire, and an insulator layer. The p-type silicon semi-conductor substrate with which the impurity of n mold silicon semi-conductor substrate with which the impurity of n mold was doped, or p mold was doped as a silicon semi-conductor substrate can be used. a silicon semi-conductor substrate (silicon single crystal wafer) — a CZ process and MCZ — law and DLCZ — you may be the silicon semi-conductor substrate produced by what kind of approaches, such as law and an FZ method, and hydrogen annealing could be added beforehand. Moreover, the semi-conductor layer may consist of so-called SOI (Semiconductor-On-Insulator) layers currently formed on the insulating layer formed in the support surface. When the semi-conductor layer consists of silicon semi-conductor substrate itself, a semiconductor device turns into the so-called bulk semiconductor device, and when it consists of SOI layers, a semiconductor device turns into the so-called SOI mold semiconductor device. The semi-conductor layer may consist of Si and may consist of Si-germanium mixed-crystal systems.

[0019] After making a ** semi-conductor substrate and a support substrate rival through an insulating layer as the formation approach of a SOI layer, a semi-conductor substrate grinding and by grinding from a rear face Obtain the base material which consists of a support substrate, an insulating layer, and the semi-conductor layer which consists of grinding and the semi-conductor substrate after polish. the semi-conductor substrate after carrying out the ion implantation of the hydrogen ion to a semi-conductor substrate after forming an insulating layer on a substrate lamination method ** semi-conductor substrate, and forming stratum disjunctum in the interior of a semi-conductor substrate, and a support substrate — an insulating layer — minding — lamination — subsequently From stratum disjunctum, exfoliate (cleavage) and the semi-conductor substrate left behind in the semi-conductor substrate by heat-treating grinding and by grinding from a rear face After carrying out the ion implantation of the oxygen ion to the interior of the Smart cutting method ** semi-conductor substrate which obtains the base material which consists of a support substrate, an insulating layer, and the semi-conductor layer which consists of grinding and the semi-conductor substrate after polish, by performing heat treatment The base material which forms an insulating layer in the interior of a semi-conductor substrate, and consists of some semi-conductor substrates under an insulating layer Moreover, the semi-conductor layer which consists of some semi-conductor substrates on an insulating layer SIMOX (Separation by IMplanted OXYgen) obtained, respectively — law — by forming a single crystal half conductor layer by the gaseous phase or solid phase on the insulating layer formed on the semi-conductor substrate equivalent to a ** base material By porosity-izing the front face of a semi-conductor substrate partially, and forming an insulating layer by approach ** anodic oxidation which obtains the base material which consists of a semi-conductor substrate, an insulating layer, and the semi-conductor layer which consists of a single crystal half conductor layer The approach of obtaining the semi-conductor layer which consists the base material which consists of some semi-conductor substrates under an insulating layer of some semi-conductor substrates on an insulating layer again, respectively can be mentioned. Here, melting, the substrate made to recrystallize, a glass substrate, and a quartz substrate can be illustrated for polycrystalline silicon as a support substrate on a silicon semi-conductor substrate, the substrate which carried out epitaxial growth of the silicon on the spinel, the substrate which carried out epitaxial growth of the silicon on sapphire, and an insulator layer.

[0020] As an oxidizing atmosphere in this invention, the ambient atmosphere containing desiccation oxygen gas and the ambient atmosphere containing a steam can be mentioned. As for the thickness of the oxide film formed in the side face of a silicon layer, it is desirable 2nm thru/or that they are 4nm thru/or 10nm preferably 20nm. It is preferably desirable 200-degreeC thru/or 1000-degreeC, and to be referred to as 200-degreeC thru/or 900-degreeC much more preferably temperature to which p mold impurity passes gate dielectric film from a silicon layer, and does not reach even a semi-conductor layer in this process as temperature of the oxidizing atmosphere in this invention, and beyond the temperature that a steam does not specifically dew on a semi-conductor layer etc.

[0021] the 1st or the 2nd voice of this invention — in the manufacture approach of the p channel mold semiconductor device applied like, desiccation oxygen gas and a steam can be mentioned as an oxidation

kind for forming gate dielectric film in the front face of the semi-conductor layer in said process (A).

[0022] The approach the method of making a steam generate burns oxygen gas and hydrogen gas (pie ROJIE nick oxidation style), How to carry out bubbling of the heating pure water with the approach, oxygen gas, or inert gas which heats pure water, a catalyst (for example, nickel system catalysts, such as NiO, and Pt system catalyst of Pt or PtO₂ grade —) Pd system catalysts, such as Pd and PdO, Ir system catalyst, Ru system catalyst of Ru or RuO₂ grade, Although it can also consider as the approach to which hydrogen gas and a oxidizing gas are made to react based on the catalysis using Cu system catalysts, such as Ag system catalysts, such as Ag and Ag₂O, Au system catalyst, and CuO, Mn system catalyst of MnO₂ grade, and Co system catalyst of Co₃O₄ grade To hydrogen gas and oxygen gas microwave (1GHz thru/or 100GHz) How to irradiate (for example, 2.45GHz microwave) (for convenience hereafter) After calling it a plasma oxidation method, i.e., carrying in a semi-conductor layer to plasma treatment equipment, To hydrogen gas and oxygen gas microwave (1GHz thru/or 100GHz) By irradiating (for example, 2.45GHz microwave), a steam is made to generate and it is desirable to consider as the approach of oxidizing a semi-conductor layer front face or the approach of forming an oxide film in the side face of a silicon layer again using this steam. In addition, the approach of forming gate dielectric film in a semi-conductor layer front face based on the generation method of these steams or the approach of forming an oxide film may be generically called a humidification oxidation style to the side face of a silicon layer again.

[0023] In the oxygen plasma generated by microwave discharge, by electronic collision, a ground state O₂ (X₃sigmag-) is excited by an excitation state O₂ (A₃sigmau+) or O₂ (B₃sigmau-), and is dissociated in an oxygen atom like the following formulas, respectively.

[0024]

$O_2(X_3\text{sigmag-}) + e \rightarrow O_2(A_3\text{sigmau+}) + e$ Formula (1-1)

$O_2(A_3\text{sigmau+}) + e \rightarrow O(3P) + O(3P) + e$ Formula (1-2)

$O_2(X_3\text{sigmag-}) + e \rightarrow O_2(B_3\text{sigmau-}) + e$ Formula (1-3)

$O_2(B_3\text{sigmau-}) + e \rightarrow O(3P) + O(1D) + e$ Formula (1-4)

[0025] Therefore, an excitation oxygen molecule and an oxygen atom exist in the oxygen plasma, and these serve as a reaction kind. If hydrogen H₂ is introduced here, the following plasma will generate.

[0026] $H_2 + e \rightarrow 2H$ Formula (2)

[0027] And the oxygen plasma generated by the formula (1-2) among oxygen plasma and the hydrogen plasma generated by the formula (2) react, and a steam generates. And the front face of the heated semi-conductor layer or the side face of the silicon layer which constitutes a layered product and a gate electrode oxidizes a oxidizing gas transparency layer with the steam of a through lever, and an oxide film is formed in that front face. In addition, in this invention, a part of steam generated by irradiating microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) at oxygen gas and hydrogen gas is the plasma state.

[0028]

$2H + O(3P) \rightarrow H_2O$ Formula (3)

[0029] the 1st or the 2nd voice of this invention — if it is in the manufacture approach of the p channel mold semiconductor device applied like, the nitriding treatment process of gate dielectric film can be included in the process which forms gate dielectric film in the front face of a semi-conductor layer at a process (A). As for this nitriding treatment process, it is desirable to change from the process (for it to be called plasma nitriding treatment for convenience) which nitrides the front face of gate dielectric film with the nitrogen content child, the nitrogen content child ion, nitrogen atom, or nitrogen atom ion of the excitation state generated by irradiating an electromagnetic wave to nitrogen system gas. It can consider as the nitrogen system gas which should irradiate an electromagnetic wave, and the gas which is the compound of an others, NO, N₂O, and NO₂ grade, a nitrogen atom, and an oxygen atom can be illustrated. [nitrogen gas / (N₂ gas)] That is, nitrogen system gas can be made into at least one kind of gas chosen from the group which consists of N₂, NO, N₂O, and NO₂. Nitrogen system gas may be gas which mixed at least two kinds of these gas. It is desirable to heat-treat, after performing nitriding treatment on the surface of gate dielectric film, when aiming at relaxation of the damage produced in gate dielectric film. It is desirable to perform heat-treatment in inert gas ambient atmospheres, such as nitrogen gas, and it can illustrate 10 seconds thru/or 1 hour as 800-degreeC thru/or 1200-degreeC, and the heating processing time as heat-treatment temperature.

[0030] When using nitrogen (N₂) gas as nitrogen system gas, nitrogen (N₂) is excited like the following

formulas in the plasma by microwave. That is, the nitrogen content child and nitrogen content child ion which the electron which exists in the plasma was excited and were excited by the inelastic collision of this and a nitrogen content child are generated. Association (when the atom which mainly constitutes for example, a semi-conductor layer is Si, it is Si-O association) with the atom and oxygen atom with which these nitrogen content children and nitrogen content child ion that were excited mainly constitute the semi-conductor layer of the front face of gate dielectric film is cut, a nitriding oxide (for example, Si-O-N association) is formed, and the front face of gate dielectric film is nitrided. The presentation of the front face of gate dielectric film is expressed with SiOXNY when the atom which mainly constitutes a semi-conductor layer is Si.

[0031]

$N_2(X1\sigma_{mag}) + e \rightarrow N_2(A3\sigma_{gau}) + e$ Formula (4-1)

$N_2(N1\sigma_{mag}) + e \rightarrow N_2(C3\pi_u) + e$ Formula (4-2)

$N_2(C3\pi_u) + e \rightarrow N_2(B3\pi_g) + h\nu$ Formula (4-3)

$N_2(B3\pi_g) + e \rightarrow N_2(A3\sigma_{gau}) + h\nu$ Formula (4-4)

[0032] Thus, the front face of gate dielectric film can be nitrided by performing plasma nitriding treatment. And since nitriding treatment which there is no need of performing nitriding treatment at high temperature like heat nitriding, for example, nitrides the front face of gate dielectric film in ordinary temperature can be performed. There is no bad influence to semiconductor device properties, such as a fall of the current drive capacity by nitrogen invading, the problem in installation, i.e., the silicon semi-conductor substrate, to the inside of the gate dielectric film of the nitrogen atom by heat nitriding. Furthermore, the boron atom contained in a silicon layer can pass gate dielectric film, and can reach even a semi-conductor layer, and the phenomenon of changing the threshold voltage of a p channel mold semiconductor device can be avoided much more certainly by performing nitriding treatment.

[0033] In addition, microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) can be used as an electromagnetic wave. A semi-conductor layer, a layered product, or a gate electrode may be exposed into the ambient atmosphere which diluted a steam and hydrogen gas with inert gas, such as nitrogen, an argon, helium, neon, a krypton, and a xenon. Moreover, it can consider as the gas which should irradiate an electromagnetic wave, and NO and N₂O can also be used instead of oxygen gas.

[0034] When manufacturing a semiconductor device based on a silicon semi-conductor substrate, before forming gate dielectric film conventionally, RCA washing that 2ONH₄ OH/H₂ water solution washes, and 2OHCl/H₂ water solution washes further washes the front face of a silicon semi-conductor substrate, and a particle metallurgy group impurity is removed from the front face. By the way, if RCA washing is performed, the front face of a silicon semi-conductor substrate will react with a penetrant remover, and an oxidation silicone film with a thickness of about 0.5-1nm will be formed. The thickness of this oxidation silicone film is uneven, and, moreover, a penetrant remover component remains in this oxidation silicone film. Then, a silicon semi-conductor substrate is immersed in a hydrofluoric-acid water solution, this oxidation silicone film is removed, and pure water removes a drug solution component further. The front face of a silicon semi-conductor substrate where termination of most was carried out from hydrogen by this, and termination of the pole part was carried out with the fluorine can be obtained. In addition, on these specifications, if the front face of a silicon semi-conductor substrate is exposed, it will express obtaining the front face of a silicon semi-conductor substrate where termination of most was carried out by such process from hydrogen, and termination of the pole part was carried out with the fluorine. Then, gate dielectric film is formed in the front face of this silicon semi-conductor substrate.

[0035] By the way, if the ambient atmosphere before forming gate dielectric film based on a humidification oxidation style is made into a hot nitrogen-gas-atmosphere mind, a dry area (irregularity) may arise on the front face of a silicon semi-conductor substrate. A part of Si-F association is lost by the temperature programmed desorption of hydrogen or a fluorine, and such a phenomenon is considered to originate in a part of Si-H association formed in the front face of a silicon semi-conductor substrate of washing with a hydrofluoric-acid water solution and pure water, or an etching phenomenon arising on the front face of a silicon semi-conductor substrate again. For example, it is indicated by the Baifukan issue, Tadahiro Omi work "an ultra clean ULSI technique", and the 21st page that intense irregularity will arise on the front face of a silicon semi-conductor substrate if the temperature up of the silicon semi-conductor substrate is carried out in argon gas more than 600-degreeC.

[0036] If it is in the manufacture approach of the p channel mold semiconductor device concerning the 1st

or the 2nd mode of this invention By starting formation of gate dielectric film on the front face of a semi-conductor layer with a humidification oxidation style, where a semi-conductor layer is held to the temperature from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed in a process (A) It is possible to avoid generating of the phenomenon in which a dry area (irregularity) occurs on the front face of such a semi-conductor layer. In addition, as for the temperature from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed, it is desirable that it is the temperature from which association with the atom which is carrying out termination of the semi-conductor layer front face, and the atom which mainly constitutes a semi-conductor layer is not cut. When the atom which mainly constitutes a semi-conductor layer is Si, a semi-conductor layer A silicon semi-conductor substrate, A single-crystal-silicon layer, a polish recon layer, or an amorphous silicon layer, When it consists of SOI layers, it is desirable to make temperature from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed into the temperature from which Si-H association of a semi-conductor layer front face is not cut, or the temperature from which Si-F association of a semi-conductor layer front face is not cut again. When field bearing uses the silicon semi-conductor substrate of (100) as a semi-conductor layer, most hydrogen atoms in the front face of a silicon semi-conductor substrate have combined with every one each of two joint hands of a silicon atom, and it has the termination structure of H-Si-H. It is alike and the termination structure in the condition that the hydrogen atom combined only with one joint hand of a silicon atom, or the termination structure in the condition that three joint hands of a silicon atom were alike, respectively, and the hydrogen atom joined together exists in the appropriate part (for example, step formation part) by which the surface state of a silicon semi-conductor substrate collapsed. In addition, the remaining joint hand of a silicon atom is usually combined with the silicon atom inside a crystal. The termination structures in the condition that the hydrogen atom combined with each of two joint hands of a silicon atom, the termination structures in the condition that the hydrogen atom combined only with one joint hand of a silicon atom, or all the termination structures in the condition that the hydrogen atom combined with each of three joint hands of a silicon atom are included by the expression "Si-H association" in this specification. More specifically, it is preferably desirable [the temperature when starting formation of gate dielectric film on the front face of a semi-conductor layer] from the field of a throughput to carry out to more than 300-degreeC more preferably more than 200-degreeC beyond the temperature that a steam does not dew on a semi-conductor layer.

[0037] In addition, in a process (A), temperature of a semi-conductor layer when formation of gate dielectric film is completed with a humidification oxidation style may be made higher than the temperature of the semi-conductor layer at the time of starting formation of gate dielectric film. In this case, the temperature of a semi-conductor layer when formation of gate dielectric film is completed is not 600 thru/or 1200-degreeC, and the thing to limit to such a value, although it is preferably desirable 700 thru/or 1000-degreeC, and that they are 750 thru/or 900-degreeC still more preferably. in addition -- being stair-like (the shape of a step) -- a temperature up may be carried out or a temperature up may be carried out continuously again.

[0038] When performing a temperature up in the shape of a stairway, after starting formation of gate dielectric film with a humidification oxidation style on the front face of a semi-conductor layer at the temperature from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed, A predetermined period and the 1st gate-dielectric-film formation process which holds a semi-conductor layer to the temperature requirement from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed, and forms gate dielectric film in it. It is desirable that the 2nd gate-dielectric-film formation process which forms gate dielectric film further is included until it becomes desired thickness with a humidification oxidation style at temperature higher than the temperature requirement from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed. the formation temperature of the gate dielectric film in the 2nd gate-dielectric-film formation process -- 600 thru/or 1200-degreeC -- it is preferably desirable 700 thru/or 1000-degreeC, and that they are 750 thru/or 900-degreeC still more preferably. in addition -- as the upper limit of the retention temperature range of the semi-conductor layer in the 1st gate-dielectric-film formation process -- 500-degreeC -- desirable -- 450-degreeC -- 400-degreeC can be mentioned more preferably. Thickness of final gate dielectric film after passing through the 2nd gate-dielectric-film formation process should just be taken as

the predetermined thickness required of a semiconductor device. The thing thin as much as possible of the thickness of gate dielectric film after passing through the 1st gate-dielectric-film formation process on the other hand is desirable. However, field bearings of current and the silicon semi-conductor substrate used for manufacture of a semiconductor device are almost all cases (100), and however it may graduate the front face of a silicon semi-conductor substrate (100), the level difference surely called a step on the surface of silicon will be formed. Although this step is usually a part for one layer of silicon atoms, depending on the case, the level difference for 2-3 layers may be formed. Therefore, although it is desirable to be referred to as 1nm or more as for the thickness of gate dielectric film after passing through the 1st gate-dielectric-film formation process when using a silicon semi-conductor substrate as a semiconductor layer (100), it is not limited to this.

[0039] You may also include a temperature up process between the 1st gate-dielectric-film formation process and the 2nd gate-dielectric-film formation process. In this case, it is desirable to make the ambient atmosphere in a temperature up process into an inert gas ambient atmosphere or a reduced pressure ambient atmosphere, or to consider as the oxidizing atmosphere which contains a steam again. Here, nitrogen gas, argon gas, and gaseous helium can be illustrated as inert gas. In addition, the halogen may contain in the gas containing the inert gas or the steam in the ambient atmosphere in a temperature up process. By this, much more improvement in the property of the gate dielectric film formed with the 1st gate-dielectric-film formation process can be aimed at. That is, when the atom which mainly constitutes a semi-conductor layer is Si, as a result of the silicon dangling bond (Si-) and SiOH which are the defect which may be produced in the 1st gate-dielectric-film formation process reacting with a halogen in a temperature up process, and a silicon dangling bond's carrying out termination or producing dehydration, these defects that are dependability degradation factors are eliminated. Especially, exclusion of these defects is effective to the early gate dielectric film (oxidation silicone film) formed in the 1st gate-dielectric-film formation process. As a halogen, although chlorine, a bromine, and a fluorine can be mentioned, it is desirable that it is chlorine especially. As a gestalt of the halogen contained in the gas containing inert gas or a steam, a hydrogen chloride (HCl), CCl₄, C₂HCl₃, and Cl₂, HBr and NF₃ can be mentioned, for example. the content of the halogen in the gas containing inert gas or a steam -- criteria [gestalt / of a molecule or a compound] -- carrying out -- 0.001 to 10 capacity % -- desirable -- 0.005 to 10 capacity % -- it is 0.02 to 10 capacity % still more preferably. For example, when using hydrogen chloride gas, as for the hydrogen chloride gas content in the gas containing inert gas or a steam, it is desirable that it is 0.02 to 10 capacity %. In addition, it can also consider as the ambient atmosphere containing the steam diluted with inert gas in the ambient atmosphere in a temperature up process.

[0040] The oxidizing atmosphere containing the steam under formation of gate dielectric film may be made to contain a halogen in the manufacture approach of the p channel mold semiconductor device concerning the 1st or the 2nd mode of this invention. By this, gate dielectric film excellent in the time zero dielectric-breakdown (TZDB) property and the dielectric-breakdown (TDDb) property with the passage of time can be obtained. In addition, as a halogen, although chlorine, a bromine, and a fluorine can be mentioned, it is desirable that it is chlorine especially. As a gestalt of the halogen contained in the gas containing a steam, a hydrogen chloride (HCl), CCl₄, C₂HCl₃, and Cl₂, HBr and NF₃ can be mentioned, for example. the content of the halogen in the gas containing a steam -- criteria [gestalt / of a molecule or a compound] -- carrying out -- 0.001 to 10 capacity % -- desirable -- 0.005 to 10 capacity % -- it is 0.02 to 10 capacity % still more preferably. For example, when using hydrogen chloride gas, as for the hydrogen chloride gas content in the gas containing a steam, it is desirable that it is 0.02 to 10 capacity %.

[0041] In order to raise the property of the formed gate dielectric film further, in the manufacture approach of the p channel mold semiconductor device concerning the 1st or the 2nd mode of this invention, you may heat-treat to the formed gate dielectric film after formation of gate dielectric film.

[0042] In this case, it is desirable to make the ambient atmosphere of heat treatment into the inert gas ambient atmosphere containing a halogen. By heat-treating gate dielectric film in the inert gas ambient atmosphere containing a halogen, gate dielectric film excellent in the time zero dielectric-breakdown (TZDB) property and the dielectric-breakdown (TDDb) property with the passage of time can be obtained. As inert gas in heat treatment, nitrogen gas, argon gas, and gaseous helium can be illustrated. Moreover, as a halogen, although chlorine, a bromine, and a fluorine can be mentioned, it is desirable that it is chlorine especially. As a gestalt of the halogen contained in inert gas, a hydrogen chloride (HCl), CCl₄, C₂HCl₃, and Cl₂, HBr and NF₃ can be mentioned, for example. the content of the halogen in inert gas -- criteria

[gestalt / of a molecule or a compound] — carrying out — 0.001 to 10 capacity % — desirable — 0.005 to 10 capacity % — it is 0.02 to 10 capacity % still more preferably. For example, when using hydrogen chloride gas, as for the hydrogen chloride gas content in inert gas, it is desirable that it is 0.02 to 10 capacity %.

[0043] In addition, formation and heat treatment of gate dielectric film can be performed in the same processing interior of a room. the temperature of heat treatment — 700–1200-degreeC — desirable — 700–1000-degreeC — it is 700–950-degreeC still more preferably. Moreover, it is desirable to consider as 1 – 10 minutes, when carrying out by sheet processing, and when carrying out in a batch type, it is preferably desirable [the time amount of heat treatment] for 10 to 40 minutes to consider as 20 – 30 minutes still more preferably for 5 to 60 minutes.

[0044] When heat-treating, it is desirable to make ambient temperature at the time of heat-treating to the formed gate dielectric film higher than temperature when formation of gate dielectric film is completed. In this case, a temperature up may be carried out to the ambient temperature for performing heat treatment, after formation of gate dielectric film is completed and changing the ambient atmosphere of the processing interior of a room to an inert gas ambient atmosphere, and after changing to the inert gas ambient atmosphere which contains a halogen for an ambient atmosphere, a temperature up may be carried out to the ambient temperature for performing heat treatment. Here, nitrogen gas, argon gas, and gaseous helium can be illustrated as inert gas. As a halogen, although chlorine, a bromine, and a fluorine can be mentioned, it is desirable that it is chlorine especially. Moreover, as a gestalt of the halogen contained in inert gas, a hydrogen chloride (HCl), CCl₄, C₂HCl₃, and Cl₂, HBr and NF₃ can be mentioned, for example. the content of the halogen in inert gas — criteria [gestalt / of a molecule or a compound] — carrying out — 0.001 to 10 capacity % — desirable — 0.005 to 10 capacity % — it is 0.02 to 10 capacity % still more preferably. For example, when using hydrogen chloride gas, as for the hydrogen chloride gas content in inert gas, it is desirable that it is 0.02 to 10 capacity %.

[0045] Usually, before forming gate dielectric film in the front face of a silicon semi-conductor substrate, after RCA washing that 2ONH₄ OH/H₂ water solution washes, and 2OHCl/H₂ water solution washes further washing the front face of a silicon semi-conductor substrate and removing a particle metallurgy group impurity from the front face, the silicon semi-conductor substrate by the hydrofluoric-acid water solution and pure water is washed. However, if a silicon semi-conductor substrate is put to atmospheric air after that, the front face of a silicon semi-conductor substrate will be polluted. There is a possibility that moisture and the organic substance may adhere to the front face of a silicon semi-conductor substrate, or Si atom of a silicon semi-conductor substrate front face may combine with a hydroxyl group (OH) again. (For example) Reference "Highly-reliable Gate Oxide Formation for Giga-Scale LSIs by using Closed Wet Cleaning System and Wet Oxidation with Ultra-Dry Unloading", and J.Yugami, et al., International Electron Device Meeting Technical Digest 95 and pp 855–858 Reference. In such a case, if formation of gate dielectric film is started in the condition as it is, it can become the cause of generating of moisture, or the organic substance, the property fall of the gate dielectric film which Si-OH was incorporated again and formed or a defective part into the formed gate dielectric film. In addition, a defective part means the part of the gate dielectric film with which a silicon dangling bond (Si-) and the defect of Si-H association are included, or the part of the gate dielectric film with which Si-O-Si association of differing from the include angle of Si-O-Si association in the oxidation silicone film of bulk or Si-O-Si association is compressed by stress or the include angle of Si-O-Si association is thick again was included. So, in order to avoid generating of such a problem, it sets to the manufacture approach of the p channel mold semiconductor device concerning the 1st or the 2nd mode of this invention. Including the process which washes a semiconductor layer front face before formation of gate dielectric film, without putting the semiconductor layer after surface washing to atmospheric air (— namely, the ambient atmosphere from washing of for example, a semiconductor layer front face to initiation of a gate-dielectric-film formation process — an inert gas ambient atmosphere or a vacuum ambient atmosphere — carrying out —) — it is desirable to perform formation of gate dielectric film. By this, when using a silicon semi-conductor substrate as for example, a semiconductor layer, termination of most is carried out from hydrogen, gate dielectric film can be formed in the front face of the silicon semi-conductor substrate which has the front face where termination of the pole part was carried out with the fluorine, and the property fall of the formed gate dielectric film or generating of a defective part can be prevented.

[0046] In order to prevent that a detonating gas reaction arises when hydrogen gas flows into the

processing interior of a room and flows out out of a system in this case although hydrogen gas and oxygen gas are introduced into the processing interior of a room of plasma treatment equipment when adopting a plasma oxidation method in formation of gate dielectric film, before introducing hydrogen gas into the processing interior of a room, it is desirable to introduce oxygen gas. it is alike and there is an appropriate possibility that an oxide film may be formed in a semi-conductor layer of the installation to the processing interior of a room of oxygen gas. Such an oxide film is dry oxidation film, and the property is inferior to the oxide film formed by the humidification oxidation style in it. What is necessary is to introduce first into the processing interior of a room the hydrogen gas diluted with inert gas, such as nitrogen gas, and just to introduce oxygen gas subsequently to the processing interior of a room before formation initiation of gate dielectric film, in order to prevent formation of such dry oxidation film certainly. however, in this case, in order to prevent generating of a detonating gas reaction certainly, on concentration and a concrete target with which hydrogen gas does not burn with oxygen gas, the concentration of hydrogen gas Below the range of detonation (below 18.3 capacity % when expressed with capacity % with air) in the inside of air It is below the range of inflammability (when expressed with capacity % with air) in the inside of air preferably. It is desirable to consider as concentration which becomes preferably below the range of inflammability (below 4.5 capacity % when expressed with capacity % with oxygen) in the inside of oxygen below 4.0 capacity % again below the range of detonation (below 15.0 capacity % when expressed with capacity % with oxygen) in the inside of oxygen.

[0047] It is in the condition which covered the top face and side face of a metal layer with the oxidation-resistant layer in this invention. Each of the top face of a metal layer, and a side face again in or the condition of having covered with an oxidation-resistant layer and the oxidation-resistant film It can prevent that a metal layer oxidizes, aiming at improvement in the property of a semiconductor device, or dependability, since an oxide film is formed in the side face of a silicon layer through the oxidizing gas transparency layer left behind to the side face of a silicon layer (i.e., since post-oxidation treatment is performed). And there is no need of heat-treating in H₂ carrier gas which contains H₂O 10 ppm – 10% unlike a Prior art, and the boron atom which is p mold impurity usually used can pass gate dielectric film from a gate electrode, can reach even a silicon semi-conductor substrate easily, and can prevent certainly generating of the phenomenon of fluctuating the threshold voltage of a p channel mold semiconductor device.

[0048]

[Embodiment of the Invention] Hereafter, with reference to a drawing, this invention is explained based on the gestalt (it is hereafter called the gestalt of operation for short) of implementation of invention.

[0049] (Gestalt 1 of operation) the gestalt 1 of operation — the 1st voice of this invention — it is related with the manufacture approach of the semiconductor device applied like, and the manufacture approach of a p channel mold semiconductor device.

[0050] The conceptual diagram of the plasma treatment equipment of a sheet method suitable for operation of this invention is shown in drawing 1 . This plasma treatment equipment consists of gas induction 16A, 16B, and 16C arranged by the processing room 10, the stage 11 in which a semi-conductor layer (it sets in the gestalt 1 of operation and is the silicon semi-conductor substrate 20) is laid, the magnet 13 arranged in the exterior of the processing room 10, the microwave waveguide 14 attached in the crowning of the processing room 10, and the crowning of the processing room 10. The processing room 10 consists of plasma production field 10A and plasma treatment field 10B, and the stage 11 is allotted to plasma treatment field 10B. Moreover, the lamp which is the heating means 12 for heating the silicon semi-conductor substrate 20 is dedicated in the stage 11. A magnetron 15 is attached in a microwave waveguide 14, microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) is made to generate by the magnetron 15, and this microwave is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. Furthermore, hydrogen gas, oxygen gas, and nitrogen gas are introduced in the processing room 10 from each of the gas induction 16A, 16B, and 16C. Moreover, inert gas (for example, nitrogen gas) is introduced in the processing room 10 from the gas induction 17 arranged in the side face of the processing room 10. Various kinds of gas introduced in the processing room 10 is exhausted out of a system from the flueing section 18 prepared in the lower part of the processing room 10. The heater 19 for controlling the temperature inside the processing room 10 so that the processing room 10 interior does not dew is arranged in the exterior of the processing room 10.

[0051] A steam is made to generate in plasma production field 10A by irradiating microwave (1GHz thru/or

100GHz) (for example, 2.45GHz microwave) at oxygen gas and hydrogen gas. Some steams are in the plasma state. In plasma treatment field 10B, the front face of a semi-conductor layer is exposed to this steam and hydrogen gas, and gate dielectric film is formed in them, or the side face of the silicon layer which constitutes a layered product and a gate electrode again is put to them through a oxidizing gas transparency layer, and an oxide film is formed in the side face of a silicon layer.

[0052] In addition, when adopting a plasma oxidation method and forming gate dielectric film in the front face of a semi-conductor layer, a steam is made to generate in plasma production field 10A by irradiating microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) at hydrogen gas and oxygen gas. Moreover, in plasma treatment field 10B, the front face of a semi-conductor layer is oxidized using this steam, or the side face of a silicon layer is oxidized again.

[0053] Furthermore, when performing plasma nitriding treatment, the nitrogen content child, the nitrogen content child ion, nitrogen atom, or nitrogen atom ion of an excitation state is made to generate in plasma production field 10A by irradiating microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) at nitrogen system gas. Moreover, in plasma treatment field 10B, the front face of the gate dielectric film formed in the front face of a semi-conductor layer is nitrided.

[0054] In the gestalt 1 of operation, a silicon semi-conductor substrate is used as a semi-conductor layer. Moreover, the plasma oxidation method was adopted in the gestalt 1 of operation. The manufacture approach of the semiconductor device concerning the 1st mode of this invention using the plasma treatment equipment shown in drawing 1 and the manufacture approach of a p channel mold semiconductor device are hereafter explained with reference to typical drawing 2 of silicon semi-conductor substrate 20 grade which is a sectional view a part - drawing 6 .

[0055] [a process -100] -- the component isolation region 21 which has LOCOS structure by the well-known approach first in the silicon semi-conductor substrate 20 which is n mold silicon wafer (it produces in a CZ process) with a diameter of 8 inches which doped Lynn -- forming -- subsequently -- a well -- an ion implantation, a channel stop ion implantation, and a threshold adjustment ion implantation are performed. In addition, the component isolation region may have trench structure and may be the combination of LOCOS structure and trench structure. Then, RCA washing removes the particle metallurgy group impurity of the front face of the silicon semi-conductor substrate 20, subsequently, surface washing of the silicon semi-conductor substrate 20 by 0.1% hydrofluoric-acid water solution and pure water is performed, and the front face of the silicon semi-conductor substrate 20 is exposed (refer to (A) of drawing 2). In addition, most is carrying out termination of the front face of the silicon semi-conductor substrate 20 from hydrogen, and termination of the pole part is carried out with the fluorine.

[0056] After carrying in [a process -110], next the silicon semi-conductor substrate 20 from the door which is not illustrated to the plasma treatment equipment shown in drawing 1 and laying them in a stage 11, inert gas (for example, nitrogen gas) is introduced in the processing room 10 from the gas induction 17. And the silicon semi-conductor substrate 20 is heated to 800-degreeC with the heating means 12.

[0057] And gate dielectric film 22 is formed in the front face of the silicon semi-conductor substrate 20 which is a semi-conductor layer. That is, installation into the processing room 10 of the inert gas (for example, nitrogen gas) as gas for dilution is interrupted, and hydrogen gas and oxygen gas are introduced in the processing room 10 from gas induction 16A and gas induction 16B. It combines, microwave power is supplied to a magnetron 15, and the microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) generated by the magnetron 15 is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. This, i.e., by irradiating an electromagnetic wave at hydrogen gas and oxygen gas, the reaction of an above-mentioned formula (1-1) - (1-4) a reaction and a formula (2), and a formula (3) arises, and a steam generates. The generated steam reaches plasma treatment field 10B located down the processing room 10, and the front face of the semi-conductor layer (specifically silicon semi-conductor substrate 20) heated by the heating means 12 oxidizes. In this way, gate dielectric film 22 with a thickness of 2nm can be formed in the front face of a semi-conductor layer (refer to (B) of drawing 2). The formation conditions of gate dielectric film 22 are illustrated to the following table 1.

[0058] [Table 1]

Microwave power : 1kW microwave frequency: 2.45GHz oxygen gas flow rate : 10SLM hydrogen quantity of gas flow : 0.2SLM substrate temperature : 800-degreeC [0059] After that [[process -120]], on a semi-conductor layer, after carrying out sequential formation of silicon layer 23A and metal layer 23C, patterning of the metal layer 23C and silicon layer 23A is carried out, and the layered product which silicon layer 23A

exposed on the side face is formed. Or silicon layer 23A containing p mold impurity and metal layer 23C form the gate electrode 23 which a laminating is carried out and changes on gate dielectric film 22 again. Stopping installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas, and specifically introducing inert gas into the processing room 10 from the gas induction 17, if formation of gate dielectric film 22 is completed, the silicon semi-conductor substrate 20 is cooled to a room temperature, and the silicon semi-conductor substrate 20 is taken out from plasma treatment equipment after that. And with a thickness [containing p mold impurity (for example, boron)] of about 100nm silicon layer 23A (it sets in the gestalt 1 of operation and is a polish recon layer) is produced on the whole surface with a CVD method. Subsequently, after forming in a spatter metal layer 23C which consists of reaction prevention layer 23B which consists of WN with a thickness of about 5nm, and a tungsten (W) with a thickness of about 100nm one by one, based on a lithography technique and a dry etching technique, patterning of metal layer 23C and reaction prevention layer 23B and the silicon layer 23A is carried out. In this way, the laminating of silicon layer 23A and metal layer 23C is carried out, and the gate electrode 23 shown in (C) of drawing 2 or the layered product which silicon layer 23A exposed to the side face can be obtained again.

[0060] [A process -130], next p mold impurity (for example, boron and BF₂) are injected into a semi-conductor layer (specifically silicon semi-conductor substrate 20) with ion-implantation, and the low-concentration impurity range 24 is formed (refer to (A) of drawing 3). Depending on the case, an extension field may be formed instead of the low-concentration impurity range 24. Then, RTA (Rapid Thermal Annealing) processing for activating introduced p mold impurity is performed.

[0061] The oxidizing gas transparency layer 25 is formed on the silicon semi-conductor substrate 20 which is a semi-conductor layer so that the side face of silicon layer 23A may be covered and metal layer 23C may project after that [[process -140]]. the high density plasma CVD (HDP-CVD) which specifically illustrates the oxidizing gas transparency layer 25 which consists of silicon oxide (SiO₂) on the whole surface in the following table 2 — it forms in law (refer to (B) of drawing 3). In addition, the formation approach is not limited to a HDP-CVD method. Thickness of the oxidizing gas transparency layer 25 on the silicon semi-conductor substrate 20 which is separated from the gate electrode 23 is made in general equal to the height from the silicon semi-conductor substrate 20 of the top face (interface of silicon layer 23A and reaction prevention layer 23B) of silicon layer 23A which constitutes the gate electrode 23. And the resist layer 26 is formed (refer to (C) of drawing 3), and after removing the oxidizing quality gas transparency layer 25 which is not covered in the resist layer 26 by the dry etching method, the resist layer 26 is removed, so that the upper oxidizing gas transparency layer 25 of the gate electrode 23 may be exposed and the oxidizing quality gas transparency layer 25 on the silicon semi-conductor substrate 20 may be covered (refer to (A) of drawing 4). The thickness of the oxidizing gas transparency layer 25 on the silicon semi-conductor substrate 20 which is separated from the gate electrode 23, abbreviation, etc. spread and carry out thickness of the part of the oxidizing gas transparency layer 25 after being removed by the dry etching method.

[0062]

[Table 2]

Gas used : SiH₄/O₂/Ar=150/250/125sccm pressure : 0.6PaRF power : 1.3kW of upper parts, 3.1kW bias power of lower: 3.1kW substrate temperature : 350-degreeC [0063] The top face and side face of metal layer 23C which were projected from the [process -150], next the oxidizing gas transparency layer 25 are covered with the oxidation-resistant layer 27. The oxidation-resistant layer 27 which specifically consists of silicon nitride (SiN) on the conditions illustrated to the following table 3 using the CVD system of an parallel monotonous mold is formed in the whole surface (refer to (B) of drawing 4).

[0064]

[Table 3]

Gas used : SiH₄/NH₃/N₂=290/100/4000sccm pressure : 565PaRF power : Whenever [690 W set board temperature] : 400-degreeC [0065] After that [[process -160]], the oxidizing gas transparency layer 25 on the silicon semi-conductor substrate 20 which is a semi-conductor layer is removed alternatively, and it leaves the oxidizing gas transparency layer 25 to the side face of silicon layer 23A. After specifically forming the resist layer 28 so that the lobe of the upper oxidation-resistant layer 27 of the gate electrode 23 may be covered (refer to (C) of drawing 4), and etching the oxidation-resistant layer 27 and the oxidizing quality gas transparency layer 25, using this resist layer 28 as a mask for etching, the resist layer

28 is removed (refer to (A) of drawing 5). It etches so that the oxidizing quality gas transparency layer 25 of about 10nm of thickness numbers may remain in the side face of silicon layer 23A.

[0066] Oxide-film 23D is formed in the side face of silicon layer 23A heat-treating in [a process -170], next an oxidizing atmosphere, i.e., by performing post-oxidation treatment, (refer to (B) of drawing 5). After carrying in the silicon semi-conductor substrate 20 from the door which is not illustrated to the plasma treatment equipment shown in drawing 1 and specifically laying it in a stage 11, inert gas (for example, nitrogen gas) is introduced in the processing room 10 from the gas induction 17. And heat treatment based on the conditions illustrated to the following table 4 is performed. In addition, an oxidizing atmosphere may be an ambient atmosphere containing desiccation oxygen gas. Moreover, the generation method of a steam is not limited to a plasma oxidation method. A steam passes the oxidizing gas transparency layer 25, and oxidizes the side face of silicon layer 23A, and oxide-film 23D is formed in the side face of silicon layer 23A. In addition, although the oxidation silicone film was formed also in the front face of the silicon semi-conductor substrate 20, illustration of this oxidation silicone film was omitted. Since metal layer 23C does not oxidize since the top face and side face of metal layer 23C are covered with the oxidation-resistant layer, therefore it is not necessary to include hydrogen gas in the ambient atmosphere of hot post-oxidation, the enhanced diffusion by hydrogen arises, a boron atom passes gate dielectric film from a gate electrode still more easily, and the phenomenon of reaching even a silicon semi-conductor substrate does not occur.

[0067] [Table 4]

Microwave power : 10kW microwave frequency: 2.45GHz oxygen gas flow rate : 10SLM hydrogen quantity of gas flow : 0.2SLM substrate temperature : 800-degreeC [0068] The sidewall 29 which consists of the oxidation-resistant layer 27 and the oxidizing gas transparency layer 25 is formed by etching the oxidation-resistant layer 27 of the side face of the gate electrode 23, and the oxidizing quality gas transparency layer 25 after that [[process -180]] based on the RIE method (refer to (C) of drawing 5). Subsequently, after injecting p mold impurity (for example, boron and BF₂) into a semi-conductor layer (specifically silicon semi-conductor substrate 20) with ion-implantation and forming the source / drain field 30 (refer to (A) of drawing 6), RTA processing for activating introduced p mold impurity is performed. The field of the pinched silicon semi-conductor substrate 20 is equivalent to the channel formation field 31. Then, the layer insulation layer 32 is produced with a CVD method on the whole surface, opening is prepared in the upper layer insulation layer 32 of the source / drain field 30, a wiring material layer is formed in a spatter on the layer insulation layer 32 containing these opening circles, by carrying out patterning of the wiring material layer, wiring 33 can be formed and the typical p channel mold semiconductor device in which a sectional view is shown in part can be obtained to (B) of drawing 6 . In addition, the contact plug which changes from the polish recon, the metal, or metallic compounds containing an impurity to opening circles is formed, subsequently to the layer insulation layer 32 top, a wiring material layer may be formed in a spatter and wiring 33 may be formed by carrying out patterning of the wiring material layer.

[0069] (Gestalt 2 of operation) The gestalt 2 of operation is deformation of the manufacture approach of the p channel mold semiconductor device of the gestalt 1 operation. The point that the gestalt 2 of operation is different from the gestalt 1 of operation continues at [a process -110], and is in the point of performing plasma nitriding treatment to gate dielectric film 22. Except for this point, the gestalt 2 of operation is the same as the gestalt 1 of operation.

[0070] The silicon semi-conductor substrate 20 is cooled to a room temperature, stopping installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas after the completion of formation of gate dielectric film, and specifically introducing inert gas into the processing room 10 from the gas induction 17. Subsequently, installation into the processing room 10 of the inert gas from the gas induction 17 is stopped. Then, the nitrogen gas which is nitrogen system gas is introduced into the processing room 10 from gas induction 16C. It combines, microwave power is supplied to a magnetron 15, and the microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) generated by the magnetron 15 is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. This, i.e., by irradiating an electromagnetic wave at nitrogen gas, the nitrogen content child, the nitrogen content child ion, nitrogen atom, or nitrogen atom ion of the excitation state generated at the above-mentioned formula (4-1) - (4-4) the reaction reaches plasma treatment field 10B located down the processing room 10, and the front face of gate dielectric film 22 is nitrided. The conditions of plasma nitriding treatment are illustrated to the following table 5. In addition, the reason for

making temperature of a silicon semi-conductor substrate into a room temperature is for controlling that a nitrogen atom is spread in a silicon semi-conductor substrate in nitriding treatment.

[0071] [Table 5]

Microwave power : 1kW microwave frequency: 2.45GHz nitrogen quantity of gas flow : 0.4SLM pressure : 0.16Pa substrate temperature : Room temperature (25-degreeC)

[0072] In addition, heat-treatment may be performed after performing plasma nitriding treatment. The temperature up of the silicon semi-conductor substrate 20 is carried out to 850-degreeC with the heating means 12, stopping installation of the nitrogen gas to the processing room 10 from gas induction 16C, and specifically introducing inert gas into the processing room 10 from the gas induction 17. And if the temperature of the silicon semi-conductor substrate 20 reaches 850-degreeC and the temperature is stabilized, heat-treatment will be performed for 5 minutes by nitrogen quantity-of-gas-flow 4SLM. By this heat-treatment, relaxation of the damage produced in gate dielectric film can be aimed at.

[0073] (Gestalt 3 of operation) The gestalt 3 of operation is also deformation of the manufacture approach of the p channel mold semiconductor device of the gestalt 1 operation. Although gate dielectric film was formed by the plasma oxidation method where the silicon semi-conductor substrate 20 is heated to 800-degreeC in the gestalt 1 of operation, in the gestalt 3 of operation, two steps of oxidation is performed based on a plasma oxidation method. Namely, after starting formation of gate dielectric film on the front face of a semi-conductor layer at the temperature to which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed from formation of gate dielectric film, A predetermined period and the 1st gate-dielectric-film formation process which holds a semi-conductor layer to the temperature requirement from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed, and forms gate dielectric film in it, Gate dielectric film consisted of the 2nd gate-dielectric-film formation process formed further until it became desired thickness at temperature higher than the temperature requirement from which the atom which mainly constitutes a semi-conductor layer from a front face of a semi-conductor layer is not desorbed. In addition, the plasma treatment equipment shown in drawing 1 also in the gestalt 3 of operation is used.

[0074] [Process -300] The [process -100] of the gestalt 1 of operation and the same process are performed first.

[0075] After carrying in [a process -310], next the silicon semi-conductor substrate 20 from the door which is not illustrated to the plasma treatment equipment shown in drawing 1 and laying them in a stage 11, inert gas (for example, nitrogen gas) is introduced in the processing room 10 from the gas induction 17. And the silicon semi-conductor substrate 20 is heated to 300-degreeC with the heating means 12. In addition, in this temperature, Si-H association of a semi-conductor layer front face is not cut. Therefore, irregularity (dry area) does not arise on the front face of a semi-conductor layer (it sets in the gestalt 3 of operation and is the silicon semi-conductor substrate 20).

[0076] Hydrogen gas and oxygen gas are introduced in the processing room 10 from gas induction 16A and gas induction 16B, introducing the inert gas (for example, nitrogen gas) as gas for dilution in the processing room 10 from the gas induction 17 after that [[process -320]]. It combines, microwave power is supplied to a magnetron 15, and the microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) generated by the magnetron 15 is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. A steam generates by this. The generated steam reaches plasma treatment field 10B located down the processing room 10, and the front face of the semi-conductor layer (specifically silicon semi-conductor substrate 20) heated by the heating means 12 oxidizes. In this way, gate dielectric film (it sets in the gestalt 3 of operation and is an oxidation silicone film) can be formed in the front face of a semi-conductor layer. The formation conditions of gate dielectric film are illustrated to the following table 6. In this 1st gate-dielectric-film formation process, gate dielectric film with a thickness of 1nm is formed.

[0077] [Table 6]

Microwave power : 1kW microwave frequency: 2.45GHz oxygen gas flow rate : 10SLM hydrogen quantity of gas flow : 0.2SLM inert gas flow rate : 10SLM substrate temperature : 300-degreeC [0078] The temperature up of the silicon semi-conductor substrate 20 is carried out to 800-degreeC with the heating means 12, interrupting installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas, and continuing installation into the processing room 10 of

the inert gas from the gas induction 17 after that [[process -330]]. In addition, since thin gate dielectric film is already formed in the front face of a semi-conductor layer, in this temperature up process, irregularity (dry area) does not arise on the front face of a semi-conductor layer (it sets in the gestalt 3 of operation and is the silicon semi-conductor substrate 20). Subsequently, hydrogen gas and oxygen gas are again introduced in the processing room 10 from gas induction 16A and gas induction 16B. It combines, and again, microwave power is supplied to a magnetron 15 and the microwave (1GHz thru/or 100GHz) (for example, 2.45GHz microwave) generated by the magnetron 15 is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. A steam generates by this. The generated steam reaches plasma treatment field 10B located down the processing room 10, and oxidizes further the front face of the semi-conductor layer (specifically silicon semi-conductor substrate 20) heated by the heating means 12. In this way, gate dielectric film with a total thickness of 2nm is formed in the front face of a semi-conductor layer. The formation conditions of the gate dielectric film in this 2nd gate-dielectric-film formation process are illustrated to the following table 7.

[0079] [Table 7]

Microwave power : 1kW microwave frequency: 2.45GHz oxygen gas flow rate : 10SLM hydrogen quantity of gas flow : 0.2SLM inert gas flow rate : 10SLM substrate temperature : 800-degreeC [0080] A p channel mold semiconductor device can be obtained by performing [process -120] [process -120] - [a process -180] of the gestalt 1 of operation after [a process -340]. [of the gestalt 1 of the operation after passing through performing - [a process -180] or the plasma nitriding treatment explained with the gestalt 2 of operation again]

[0081] (Gestalt 4 of operation) The gestalt 4 of operation is also deformation of the manufacture approach of the p channel mold semiconductor device of the gestalt 1 operation. The point that the gestalt 4 of operation is different from the gestalt 1 of operation is in the point of heat-treating to the formed gate dielectric film, after forming gate dielectric film in the front face of a semi-conductor layer. Hereafter, the manufacture approach of the p channel mold semiconductor device of the gestalt 4 operation is explained. In addition, the plasma treatment equipment shown in drawing 1 also in the gestalt 4 of operation is used.

[0082] By performing the same process as [process -100] - [a process -110], gate dielectric film with a thickness of 2nm is formed in the front face of a semi-conductor layer (it sets in the gestalt 4 of operation and is the silicon semi-conductor substrate 20). [of the gestalt 1 of [process -400] operation]

[0083] The temperature up of the silicon semi-conductor substrate 20 is carried out to 850-degreeC with the heating means 12, stopping installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas, and introducing into the processing room 10 of the inert gas from the gas induction 17 after that [[process -410]]. Subsequently, the nitrogen gas which does 0.1 capacity % content of hydrogen chloride gas is introduced in the processing room 10 from the gas induction 17, and heat-treatment is performed for 5 minutes. By this, gate dielectric film excellent in the time zero dielectric-breakdown (TZDB) property and the dielectric-breakdown (TDDB) property with the passage of time can be obtained.

[0084] After that [[process -420]], the installation to the processing room 10 of the nitrogen gas which does 0.1 capacity % content of the hydrogen chloride gas from the gas induction 17 is stopped, and inert gas (for example, nitrogen gas) is introduced from the gas induction 17 to the processing room 10. Henceforth, a p channel mold semiconductor device can be obtained by performing [process -120] [process -120] - [a process -180] of the gestalt 1 of operation. [of the gestalt 1 of the operation after passing through performing - [a process -180] or the plasma nitriding treatment explained with the gestalt 2 of operation again] Moreover, heat-treatment of the gestalt 4 of operation may be added to two steps of gate-dielectric-film formation processes of the gestalt 3 of operation.

[0085] (Gestalt 5 of operation) The gestalt 5 of operation is also deformation of the manufacture approach of the p channel mold semiconductor device of the gestalt 1 operation. The point that the gestalt 5 of operation is different from the gestalt 1 of operation is in the point which adopted the pie ROJIE nick oxidation style as formation of gate dielectric film.

[0086] The conceptual diagram of the oxide-film formation equipment of the vertical mold method for forming an oxidation silicone film based on a pie ROJIE nick oxidation style is shown in drawing 7 . The oxidation furnace 50 (it is equivalent to a processing room) of the double pipe structure made from a quartz where the oxide-film formation equipment of this vertical mold method was held perpendicularly, The gas induction 52 for introducing wet gas and /gas to the oxidation furnace 50, The flueing section 53

which exhausts wet gas and /gas from the oxidation furnace 50, and the heater 54 for holding the inside of the oxidation furnace 50 to predetermined ambient temperature through the liner tube 56 of the shape of a cylinder which consists of SiC, The substrate taking-out admission into a club 60 and the gas induction 61 for introducing inert gas, such as nitrogen gas, to the substrate taking-out admission into a club 60, it consists of a shutter 55 into which the flueing section 62 which exhausts gas from the substrate taking-out admission into a club 60, and the oxidation furnace 50 and the substrate taking-out admission into a club 60 are divided, and an elevator style 63 for carrying out carrying-in appearance of the silicon semi-conductor substrate 20 into the oxidation furnace 50. The quartz boat 64 for laying the silicon semi-conductor substrate 20 is attached in the elevator style 63. Moreover, wet gas is made to generate by mixing the hydrogen gas supplied to the combustion chamber 70 at an elevated temperature oxygen gas and in a combustion chamber 70, and making it burn. This wet gas is introduced in the oxidation furnace 50 through piping 71, a gas passageway 51, and the gas induction 52. In addition, a gas passageway 51 is equivalent to the space between the wall of the oxidation furnace 50 of double pipe structure, and an outer wall.

[0087] The outline of the formation approach of gate dielectric film based on a pie ROJIE nick oxidation style which used the oxide film formation equipment of the vertical mold method shown in drawing 7 is explained hereafter:

[0088] [Process -500] The [process -100] of the gestalt 1 of operation and the same process are performed first.

[0089] Nitrogen gas is introduced to the oxidation furnace 50 through the [process -510] piping 72, a combustion chamber 70, piping 71, a gas passageway 51, and the gas induction 52, and the inside of the oxidation furnace 50 is made into nitrogen-gas-atmosphere mind, and the ambient temperature of the oxidation furnace 50 is held before and after 700-degreeC at a heater 54 through a liner tube 56. The shutter 55 is closed in this condition. The substrate taking-out admission into a club 60 is in the condition released by atmospheric air. And the silicon semi-conductor substrate 20 is carried in to the substrate taking-out admission into a club 60, and the silicon semi-conductor substrate 20 is laid in a quartz boat 64. After carrying in of the silicon semi-conductor substrate 20 to the substrate taking-out admission into a club 60 is completed, the door which is not illustrated is shut, nitrogen gas is introduced into the substrate taking-out admission into a club 60 from the gas induction 61, and it discharges from the flueing section 62, and let the inside of the substrate taking-out admission into a club 60 be nitrogen-gas-atmosphere mind.

[0090] When the inside of the [process -520] substrate taking-out admission into a club 60 fully serves as nitrogen-gas-atmosphere mind, a shutter 55 is opened, the elevator style 63 is operated, a quartz boat 64 is raised, and the silicon semi-conductor substrate 20 is carried in in the oxidation furnace 50. When the elevator style 63 arrives at the maximum rise location, it stops being open for free passage with the base of a quartz boat 64 between the oxidation furnace 50 and the substrate taking-out admission into a club 60.

[0091] After that [[process -530]], the temperature up of the ambient temperature of the oxidation furnace 50 of nitrogen-gas-atmosphere mind is carried out, and it is referred to as 800 - 900-degreeC. And oxygen gas and hydrogen gas are supplied in a combustion chamber 70 through piping 72 and 73, and the wet gas generated by mixing and burning hydrogen gas at an elevated temperature in oxygen gas and a combustion chamber 70 is introduced to the oxidation furnace 50 through piping 71, a gas passageway 51, and the gas induction 52, and is exhausted from the flueing section 53. Gate dielectric film is formed in the front face of the silicon semi-conductor substrate 20 of this. In addition, the temperature in a combustion chamber 70 is held to 700-900-degreeC at a heater (not shown). The conditions in a pie ROJIE nick oxidation style are illustrated to the following table 8.

[0092] [Table 8]

hydrogen quantity-of-gas-flow: -- 5SLM oxygen gas flow rate: -- 10SLM combustion temperature : 750-degreeC [0093] After forming the gate dielectric film of the thickness of a [process -540] request, supply of the oxygen gas into a combustion chamber 70 and hydrogen gas is stopped. Subsequently Introducing inert gas, such as nitrogen gas, in the oxidation furnace 50, the ambient temperature of the oxidation furnace 50 is lowered till around 700-degreeC, subsequently, the elevator style 63 is operated, a quartz boat 64 is dropped, and, subsequently the silicon semi-conductor substrate 20 is taken out from the substrate taking-out admission into a club 60.

[0094] A p channel mold semiconductor device can be obtained by performing [process -120] [process -

120] - [a process -180] of the gestalt 1 of operation after [a process -550]. [of the gestalt 1 of the operation after passing through performing - [a process -180] or the plasma nitriding treatment explained with the gestalt 2 of operation again] In addition, based on the pie ROJIE nick oxidation style of the gestalt 5 of operation, two steps of gate-dielectric-film formation processes explained with the gestalt 3 of operation may be performed, and the heat-treatment explained with the gestalt 4 of operation may be added further. Moreover, the oxidizing quality ambient atmosphere in the [process -170] of the gestalt 1 of operation may be formed based on a pie ROJIE nick oxidation style. Since metal layer 23C does not oxidize since the top face and side face of metal layer 23C are covered with the oxidation-resistant layer, therefore it is not necessary to include hydrogen gas in the ambient atmosphere of hot post-oxidation, the enhanced diffusion by hydrogen arises, a boron atom passes gate dielectric film from a gate electrode still more easily, and the phenomenon of reaching even a silicon semi-conductor substrate does not occur. [0095] (Gestalt 6 of operation) the gestalt 6 of operation — the 2nd voice of this invention — it is related with the manufacture approach of the semiconductor device applied like, and the manufacture approach of a p channel mold semiconductor device.

[0096] Also in the gestalt 6 of operation, the silicon semi-conductor substrate was used as a semi-conductor layer. Moreover, the plasma oxidation method was adopted also in the gestalt 6 of operation. The manufacture approach of the semiconductor device concerning the 6th mode of this invention using the plasma treatment equipment shown in drawing 1 and the manufacture approach of a p channel mold semiconductor device are hereafter explained with reference to typical drawing 8 of silicon semi-conductor substrate 20 grade which is a sectional view a part - drawing 11 .

[0097] [Process -600] The [process -100] of the gestalt 1 of operation and [a process -110], and the same process are performed first.

[0098] After that [[process -610]], on a semi-conductor layer, after carrying out sequential formation of silicon layer 23A, metal layer 23C, and the oxidation-resistant layer 40, patterning of the oxidation-resistant layer 40, metal layer 23C, and silicon layer 23A is carried out, and the layered product which silicon layer 23A exposed on the side face is formed. Or silicon layer 23A containing p mold impurity, metal layer 23C, and the oxidation-resistant layer 40 form the gate electrode 123 by which the laminating was carried out on gate dielectric film 22 again. Stopping installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas, and specifically introducing inert gas into the processing room 10 from the gas induction 17, if formation of gate dielectric film 22 is completed, the silicon semi-conductor substrate 20 is cooled to a room temperature, and the silicon semi-conductor substrate 20 is taken out from plasma treatment equipment after that. And with a thickness [containing p mold impurity (for example, boron)] of about 100nm silicon layer 23A (it sets in the gestalt 1 of operation and is a polish recon layer) is produced on the whole surface with a CVD method. Subsequently, after carrying out sequential formation of the oxidation-resistant layer 40 which consists of metal layer 23C and the silicon nitride (SiN) with a thickness of about 100nm which consist of reaction prevention layer 23B which consists of WN with a thickness of about 5nm, and a tungsten with a thickness of about 100nm, based on a lithography technique and a dry etching technique, patterning of oxidation-resistant layer 40, metal layer 23C, and reaction prevention layer 23B and the silicon layer 23A is carried out. In this way, as shown in (A) of drawing 8 , the laminating of silicon layer 23A, metal layer 23C, and the oxidation-resistant layer 40 is carried out, and the gate electrode 123 or the layered product which silicon layer 23A exposed to the side face can be obtained again.

[0099] The low-concentration impurity range 24 is formed in the silicon semi-conductor substrate 20 by performing [a process -620], next the [process -130] of the gestalt 1 of operation and the same process (refer to (B) of drawing 8). Depending on the case, an extension field may be formed instead of the low-concentration impurity range 24.

[0100] The oxidizing gas transparency layer 25 is formed on the silicon semi-conductor substrate 20 which is a semi-conductor layer so that the side face of silicon layer 23A may be covered and the oxidation-resistant layer 40 and metal layer 23C may project after that [[process -630]]. the high density plasma CVD (HDP-CVD) which specifically illustrated the oxidizing gas transparency layer 25 which consists of silicon oxide (SiO₂) on the whole surface in Table 2 -- it forms in law (refer to (C) of drawing 8). Thickness of the oxidizing gas transparency layer 25 on the silicon semi-conductor substrate 20 which is separated from the gate electrode 123 is made in general equal to the height from the silicon semi-conductor substrate 20 of the top face (interface of silicon layer 23A and reaction prevention layer 23B) of

silicon layer 23A which constitutes the gate electrode 123. And the resist layer 26 is formed (refer to (A) of drawing 9), and after removing the oxidizing quality gas transparency layer 25 which is not covered in the resist layer 26 by the dry etching method, the resist layer 26 is removed, so that the upper oxidizing gas transparency layer 25 of the gate electrode 123 may be exposed and the oxidizing quality gas transparency layer 25 on the silicon semi-conductor substrate 20 may be covered (refer to (B) of drawing 9). The thickness of the oxidizing gas transparency layer 25 on the silicon semi-conductor substrate 20 which is separated from the gate electrode 123, abbreviation, etc. spread and carry out thickness of the part of the oxidizing gas transparency layer 25 after being removed by the dry etching method.

[0101] The side face of [a process -640], next metal layer 23C projected from the oxidizing gas transparency layer 25 is covered with the oxidation-resistant film 41 (refer to (C) of drawing 9). After specifically forming a silicon nitride (SiN) layer in the whole surface on the conditions illustrated to Table 3 using the CVD system of an parallel monotonous mold, the side face of metal layer 23C projected from the oxidizing gas transparency layer 25 can be covered with the oxidation-resistant film 41 which consists of silicon nitride (SiN) by carrying out etchback of the silicon nitride layer.

[0102] After that [[process -650]], using the oxidation-resistant film 41 as a mask for etching, the oxidizing quality gas transparency layer 25 on the silicon semi-conductor substrate 20 which is a semi-conductor layer is alternatively removed by the dry etching method, and it leaves the oxidizing gas transparency layer 25 to the side face of silicon layer 23A (refer to (A) of drawing 10). It etches so that the oxidizing quality gas transparency layer 25 of about 10nm of thickness numbers may remain in the side face of silicon layer 23A.

[0103] Oxide-film 23D is formed in the side face of silicon layer 23A heat-treating in an oxidizing atmosphere, i.e., by performing post-oxidation treatment, like [a process -660], next the [process -170] of the gestalt 1 of operation (refer to (B) of drawing 10). In addition, although the oxidation silicone film was formed also in the front face of the silicon semi-conductor substrate 20, illustration of this oxidation silicone film was omitted.

[0104] After injecting p mold impurity (for example, boron and BF₂) into a semi-conductor layer (specifically silicon semi-conductor substrate 20) with ion-implantation and forming the source / drain field 30 after that [[process -670]] (refer to (A) of drawing 11), RTA processing for activating introduced p mold impurity is performed. The field of the pinched silicon semi-conductor substrate 20 is equivalent to the channel formation field 31. Then, the layer insulation layer 32 is produced with a CVD method on the whole surface, opening is prepared in the upper layer insulation layer 32 of the source / drain field 30, a wiring material layer is formed in a spatter on the layer insulation layer 32 containing these opening circles, by carrying out patterning of the wiring material layer, wiring 33 can be formed and the typical p channel mold semiconductor device in which a sectional view is shown in part can be obtained to (B) of drawing 11 . In addition, the contact plug which changes from the polish recon, the metal, or metallic compounds containing an impurity to opening circles is formed, subsequently to the layer insulation layer 32 top, a wiring material layer may be formed in a spatter and wiring 33 may be formed by carrying out patterning of the wiring material layer.

[0105] In addition, the various modifications of the gestalt 1 of the operation explained with the gestalt 5 of the gestalt 2 of operation - operation are applicable to the manufacture approach of the semiconductor device of the gestalt 6 operation, and the manufacture approach of a p channel mold semiconductor device.

[0106] As mentioned above, although this invention was explained based on the gestalt of desirable operation, this invention is not limited to the gestalt of these operations. Various kinds of conditions of having explained with the gestalt of operation, and the structure of plasma treatment equipment are instantiation, and can be changed suitably.

[0107] For example, in the [process -330] of the gestalt 3 of operation, the temperature up of the silicon semi-conductor substrate 20 may be carried out to 800-degreeC with the heating means 12, without stopping installation of the hydrogen gas to supply of the microwave power to a magnetron 15, and the processing room 10, and oxygen gas. Moreover, although the temperature up of the temperature of the silicon semi-conductor substrate 20 was carried out to 850-degreeC with the heating means 12 in the [process -410] of the gestalt 4 of operation, introducing inert gas (for example, nitrogen gas) in the processing room 10 from the gas induction 17 Instead, the temperature up of the temperature of the silicon semi-conductor substrate 20 may be carried out to 850-degreeC with the heating means 12, introducing

the inert gas (for example, nitrogen gas) which does 0.1 capacity % content of hydrogen chloride gas, for example in the processing room 10 from the gas induction 17. Furthermore, for example, hydrogen chloride gas may be included in the ambient atmosphere in each of the 1st gate-dielectric-film formation process, a temperature up process, and the 2nd gate-dielectric-film formation process.

[0108] In the gestalt of operation, although the insulator layer was chiefly formed in the front face of a silicon semi-conductor substrate, a p channel mold semiconductor device can also be formed in the epitaxial silicon layer produced on the substrate based on this invention, and a p channel mold semiconductor device can also be formed in a polish recon layer or an amorphous silicon layer produced on the insulating layer formed on the substrate.

[0109] Or a p channel mold semiconductor device may be formed in a SOI layer again. In addition, the component isolation region in a SOI mold semiconductor device can be formed by the following approaches.

(a) By forming a pad oxide film and a silicon nitride film on a semi-conductor layer, and carrying out patterning of a silicon nitride film and the pad oxide film Form the mask for component isolation region formation, and form a component isolation region by oxidizing a semi-conductor layer thermally using the mask for this component isolation region formation. After forming a trench in a semi-conductor layer by carrying out patterning of the so-called LOCOS (method b) semi-conductor layer, the so-called STI (Shallow Trench Isolation) which embeds the inside of a trench by the insulating material, when preparing a substrate based on the approach of ** of the law (c) above-mentioned, or ** Beforehand, a trench is formed in a semi-conductor substrate and the inside of this trench is embedded by the insulating layer. Subsequently After forming in the whole surface an interlayer film (for example, film which has the laminated structure of SiO₂ film, SiO₂ film, and the polish recon film), This interlayer film is minded for this semi-conductor substrate and support substrate. Lamination and a semi-conductor substrate grinding and by grinding from a rear face By exposing an insulating layer by removing the semi-conductor layer on (Approach d) insulating layer which combined the substrate lamination method and the STI method which obtains the base material which consists of a support substrate, an insulating layer, and the semi-conductor layer which consists of a semi-conductor substrate The mesa (Mesa) mold component isolation region forming method which forms a component isolation region [0110] The batch method which processes not only a sheet method but two or more semi-conductor layers to coincidence can also perform formation of gate dielectric film and/or nitriding treatment to the front face of gate dielectric film, and post-oxidization.

[0111] Although the semi-conductor layer was carried in to plasma treatment equipment or oxide-film formation equipment (these equipments are hereafter called plasma treatment equipment etc. generically) after a hydrofluoric-acid water solution and pure water performed surface washing of a semi-conductor layer 0.1% in the gestalt of operation, it is good also considering the ambient atmosphere to carrying in from the surface washing of a semi-conductor layer to plasma treatment equipment etc. as an inert gas (for example, nitrogen gas) ambient atmosphere. In addition, such an ambient atmosphere makes the ambient atmosphere of the surface washing installation of for example, a semi-conductor layer an inert gas ambient atmosphere. And as a mimetic diagram is shown in the approach of dedicating a semi-conductor layer (for example, silicon semi-conductor substrate) in the box for conveyance where it filled up with inert gas, and carrying in to plasma treatment equipment etc., and drawing 12 Cluster tool equipments which consisted of a conveyance way, a loader, and an unloader, such as a surface washing installation and plasma treatment equipment, are used. From a surface washing installation to plasma treatment equipment can be attained on a conveyance way by the approach of making the ambient atmosphere of an epilogue, this surface washing installation, a conveyance way, plasma treatment equipment, etc. an inert gas ambient atmosphere.

[0112] Or surface washing of a semi-conductor layer may be performed by the gaseous-phase cleaning method using anhydrous hydrogen fluoride gas again on the conditions illustrated to Table 9 instead of a hydrofluoric-acid water solution and pure water performing surface washing of a semi-conductor layer 0.1%. In addition, a methanol is added for generating prevention of particle. Or surface washing of a semi-conductor layer may be performed by the gaseous-phase cleaning method using hydrogen chloride gas again on the conditions illustrated to Table 10. In addition, the ambient atmosphere of inside, such as an ambient atmosphere, a conveyance way, etc. in the surface washing installation before surface washing initiation of a semi-conductor layer and after surface washing completion, is good also as an inert gas

ambient atmosphere, and good also as a vacuum ambient atmosphere of 1.3×10^{-1} Pa (10⁻³ Torr) extent, for example. in addition, the ambient atmosphere of the plasma treatment equipment at the time of carrying in a semi-conductor layer, in making the ambient atmosphere of inside, such as a conveyance way, into a vacuum ambient atmosphere etc. — the vacuum ambient atmosphere of for example, 1.3×10^{-1} Pa (10⁻³ Torr) extent — carrying out — the ambient atmosphere of after the completion of carrying in of a semi-conductor layer, plasma treatment equipment, etc. — an inert gas (for example, nitrogen gas) ambient atmosphere — then, it is good.

[0113] [Table 9]

Anhydrous hydrogen-fluoride gas: 300sccm methanol steam : 80sccm nitrogen gas : 1000sccm pressure : 0.3Pa temperature : 60-degreeC [0114] [Table 10]

Hydrogen-chloride gas / nitrogen gas: 1 capacity % temperature : 800-degreeC [0115] As a result of being able to maintain the front face of a semi-conductor layer at the condition that there is no contamination etc., before formation of gate dielectric film by adopting these approaches, it can prevent effectively moisture, the organic substance, or the property of gate dielectric film that Si-OH was incorporated again and formed falling into the formed gate dielectric film, or a defective part occurring.

[0116] Although hydrogen gas and oxygen gas are introduced in the processing room 10 in formation of gate dielectric film when adopting a plasma oxidation method as explained previously Under the present circumstances, in order to prevent that a detonating gas reaction arises when hydrogen gas flows in the processing room 10 and flows out out of a system, in order to prevent that the dry oxidation film is formed in a semi-conductor layer, and in order For example, in the [process -110] of the gestalt 1 of operation, introducing the inert gas (for example, nitrogen gas) as gas for dilution of flow rate 10SLM in the processing room 10 from the gas induction 17 What is necessary is to introduce the hydrogen gas of flow rate 0.2SLM in the processing room 10 from gas induction 16A, to start installation of the oxygen gas of flow rate 10SLM in the processing room 10 from after that, for example, gas, induction 16B, and just to stop installation into the processing room 10 of the inert gas for dilution. Subsequently, microwave power is supplied to a magnetron 15 and the 2.45GHz microwave generated by the magnetron 15 is introduced into plasma production field 10A of the processing room 10 through a microwave waveguide 14. By such actuation, the hydrogen gas concentration in the processing room 10 before steam generation can serve as a value low enough, it can prevent certainly that a detonating gas reaction arises, and, moreover, formation of the dry oxidation film can be prevented certainly.

[0117]

[Effect of the Invention] In this invention, it is in the condition which covered the top face and side face of a metal layer with the oxidation-resistant layer, or it is an oxidation-resistant layer about the top face of a metal layer, and is in the condition which covered the side face with the oxidation-resistant film again, and it can prevent that a metal layer oxidizes, aiming at improvement in the property of a semiconductor device, or dependability, since post-oxidation treatment is performed. And there is no need of heat-treating in H₂ carrier gas containing H₂O unlike a Prior art, and since a boron atom can control generating of the phenomenon of passing gate dielectric film from a gate electrode, fluctuation of the threshold voltage of a p channel mold semiconductor device is avoidable.

[0118] In addition, if a layered product or a gate electrode be expose to the steam and hydrogen gas which be generated by irradiate an electromagnetic wave at oxygen gas and hydrogen gas, as a result of being able to oxidize the side face of a silicon layer at temperature lower than the conventional post-oxidation, after this, the boron atom which be p mold impurity can pass gate dielectric film from a silicon layer in an oxidation process, and can control reach even a semi-conductor layer effectively. And if a plasma oxidation method is adopted, it becomes possible to essentially perform formation and post-oxidation of gate dielectric film within one plasma treatment equipment, and formation of gate dielectric film and the equipment for post-oxidation can be managed with one, and can simplify an equipment configuration. Moreover, if a plasma oxidation method is adopted, it becomes possible to make a steam generate easily and certainly in the condition of having been controlled and controlled of an oxidation rate, and it can form thin gate dielectric film with a humidification oxidation style. And since an oxide film is formed with the oxidation style using a steam, the oxide film which has the outstanding dielectric-breakdown (TDDB) property with the passage of time can be obtained.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127280

(P2001-127280A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) IntCl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 29/43		H 0 1 L 21/316	P 4 M 1 0 4
21/316		29/62	G 5 F 0 4 0
29/78		29/78	3 0 1 G 5 F 0 5 8
29/786			6 1 7 J 5 F 1 1 0

審査請求 未請求 請求項の数12 O L (全 22 頁)

(21) 出願番号 特願平11-302167

(22) 出願日 平成11年10月25日 (1999. 10. 25)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 片岡 豊隆

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及びpチャネル型半導体装置の製造方法

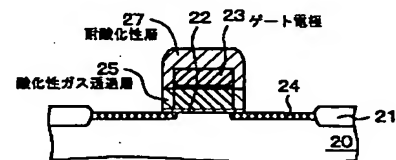
(57) 【要約】

【課題】特性や信頼性の向上を目的とした後酸化を行うとき、ゲート電極を構成する金属層の酸化を防止でき、しかも、閾値電圧の変動を抑制し得る半導体装置の製造方法を提供する。

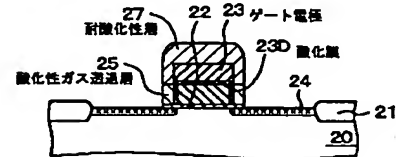
【解決手段】pチャネル型半導体装置の製造方法は、
(A) 半導体層20の表面にゲート絶縁膜22を形成し、
(B) p型不純物を含有するシリコン層23A、金属層23Cが積層されたゲート電極23を形成し、
(C) シリコン層23Aの側面を被覆し、且つ、金属層23Cが突出するように、半導体層20上に酸化性ガス透過層25を形成し、
(D) 酸化性ガス透過層25から突出した金属層23Cの頂面及び側面を耐酸化性層27で被覆し、
(E) 酸化性ガス透過層25を選択的に除去し、酸化性ガス透過層25をシリコン層23Aの側面に残し、
(F) 酸化性雰囲気中で熱処理を行うことによってシリコン層23Aの側面に酸化膜23Dを形成する各工程を備える。

【図5】

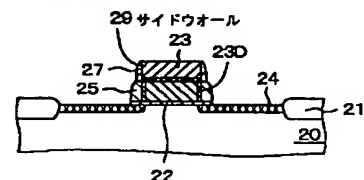
(A) 【工程-160】 続き



(B) 【工程-170】



(C) 【工程-180】



【特許請求の範囲】

【請求項 1】(イ) 半導体層上に、シリコン層及び金属層を順次形成した後、金属層及びシリコン層をパターンニングして、側面にシリコン層が露出した積層体を形成する工程と、

(ロ) シリコン層の側面を被覆し、且つ、金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、

(ハ) 酸化性ガス透過層から突出した金属層の頂面及び側面を耐酸化性層で被覆する工程と、

(ニ) 半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、

(ホ) 酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、から成ることを特徴とする半導体装置の製造方法。

【請求項 2】金属層はタングステンから成り、積層体はゲート電極を構成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】酸化性ガス透過層は酸化シリコンから成り、耐酸化性層は窒化シリコンから成ることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】(イ) 半導体層上に、シリコン層、金属層及び耐酸化性層を順次形成した後、耐酸化性層、金属層及びシリコン層をパターンニングして、側面にシリコン層が露出した積層体を形成する工程と、

(ロ) シリコン層の側面を被覆し、且つ、耐酸化性層及び金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、

(ハ) 酸化性ガス透過層から突出した金属層の側面を耐酸化性膜で被覆する工程と、

(ニ) 半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、

(ホ) 酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、から成ることを特徴とする半導体装置の製造方法。

【請求項 5】金属層はタングステンから成り、積層体はゲート電極を構成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】酸化性ガス透過層は酸化シリコンから成り、耐酸化性層及び耐酸化性膜は窒化シリコンから成ることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】(A) 半導体層の表面にゲート絶縁膜を形成する工程と、

(B) ゲート絶縁膜上に、p 型不純物を含有するシリコン層、及び、金属層が積層されたゲート電極を形成する工程と、

(C) シリコン層の側面を被覆し、且つ、金属層が突出

するように、半導体層上に酸化性ガス透過層を形成する工程と、

(D) 酸化性ガス透過層から突出した金属層の頂面及び側面を耐酸化性層で被覆する工程と、

(E) 半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、

(F) 酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、を備えていることを特徴とする p チャネル型半導体装置の製造方法。

【請求項 8】金属層はタングステンから成ることを特徴とする請求項 7 に記載の p チャネル型半導体装置の製造方法。

【請求項 9】酸化性ガス透過層は酸化シリコンから成り、耐酸化性層は窒化シリコンから成ることを特徴とする請求項 7 に記載の p チャネル型半導体装置の製造方法。

【請求項 10】(A) 半導体層の表面にゲート絶縁膜を形成する工程と、

(B) ゲート絶縁膜上に、p 型不純物を含有するシリコン層、金属層、及び耐酸化性層が積層されたゲート電極を形成する工程と、

(C) シリコン層の側面を被覆し、且つ、耐酸化性層及び金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、

(D) 酸化性ガス透過層から突出した金属層の側面を耐酸化性膜で被覆する工程と、

(E) 半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、

(F) 酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、を備えていることを特徴とする p チャネル型半導体装置の製造方法。

【請求項 11】金属層はタングステンから成ることを特徴とする請求項 10 に記載の p チャネル型半導体装置の製造方法。

【請求項 12】酸化性ガス透過層は酸化シリコンから成り、耐酸化性層及び耐酸化性膜は窒化シリコンから成ることを特徴とする請求項 10 に記載の p チャネル型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び p チャネル型半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、CMOS トランジスタにおいては、低消費電力化のために低電圧化が図られており、そのために、p チャネル型半導体装置と n チャネル型半導体装置に対して、十分に低く、しかも対称な閾値電圧が要求される。このような要求に対処するために、p チャ

ネル型半導体装置においては、これまでのn型不純物を含むポリシリコン層から構成されたゲート電極に替わり、p型不純物を含むポリシリコン層から構成されたゲート電極が用いられるようになっている。尚、このような構造のCMOSFETは、デュアルゲート構造を有するCMOSFETと呼ばれている。ところが、通常用いられるp型不純物であるボロン原子(B)は、ゲート電極形成後の半導体装置製造工程における各種の熱処理によってゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで容易に到達し、pチャネル型半導体装置の閾値電圧を変動させる。このような現象は、低電圧化のためにゲート絶縁膜を一層薄くした場合、一層顕著に現れる。

【0003】また、近年の半導体装置の微細化による半導体集積回路の高集積化に伴い、ゲート電極等の電極やゲート配線等の配線におけるRC遅延によって半導体装置の動作速度が律速されるといった問題がある。それ故、ゲート電極として、ポリシリコン層単層の代わりに、ポリシリコン層と金属シリサイド層との2層構造(ポリサイド構造)のゲート電極が用いられている。しかしながら、0.25 μ m世代以降の半導体装置においては、ポリサイド構造を有するゲート電極よりも更に低抵抗のゲート電極が求められており、近年、ポリメタル構造を有するゲート電極が注目を集めている。ここで、ポリメタル構造を有するゲート電極は、ポリシリコン層とタングステン層とが積層された構造を有する。尚、ポリシリコン層とタングステン層との間に、シリコンとタングステンとの反応を防止するために、例えばWNから成る反応防止層が形成されている。

【0004】半導体装置の製造工程においては、ゲート電極を形成した後、半導体装置の特性や信頼性の向上を目的とした後酸化が行われている。後酸化を行うことによって、ポリシリコン層の側面が酸化されると同時に、ゲート絶縁膜端部近傍におけるゲート絶縁膜の膜厚が厚くなり、ゲート絶縁膜端部近傍におけるゲート絶縁膜を介してリーク電流が発生することを抑制することができる。

【0005】ポリシリコン層とタングステンシリサイド(WSi_x)層とから構成されるポリサイド構造を有するゲート電極においては、通常、タングステンシリサイド層として、化学量論的組成であるX=2.0よりも、Siが過剰なタングステンシリサイド層が用いられる。後酸化工程では、ゲート電極が形成された半導体基板を加熱しながら、半導体基板を酸化性雰囲気中に置く。これによって、タングステンシリサイド(WSi_x)層中の余剰のSiが酸化され、露出したポリシリコン層の側面だけでなく、タングステンシリサイド層の表面にも酸化シリコン膜が形成される。

【0006】

【発明が解決しようとする課題】一方、後酸化をポリシ

リコン層とタングステン層とが積層されたポリメタル構造を有するゲート電極に適用した場合、タングステン層が酸化され、WO₃となる。タングステン層の酸化には大きな体積膨張を伴うので、タングステン層の剥離等が発生し、半導体装置を製造することができなくなるといった問題がある。

【0007】このようなタングステン層の酸化を防止するための方法が、例えば、特開昭60-9166号公報から公知である。この特許公開公報に開示された技術によれば、シリコン半導体基板上にゲート酸化膜を形成し、ゲート酸化膜上に例えばタングステンから成る電極を形成した後、500~1200°Cの温度範囲で、H₂Oを10ppm~10%含むH₂キャリアガス中で熱処理を行う。H₂Oの存在によってゲート酸化膜の膜厚が厚くなり、H₂ガスの存在によってタングステン層の酸化が防止され、結果としてシリコン半導体基板が選択的に酸化される。

【0008】ポリシリコン層とタングステン層が積層されたポリメタル構造を有するゲート電極にこの特許公開公報に開示された技術を適用した場合、雰囲気温度を800°C以上にすることが必要である。ところが、通常用いられるp型不純物であるボロン原子は、この後酸化工程において、ゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで容易に到達し、pチャネル型半導体装置の閾値電圧を変動させる。しかも、高温の後酸化の雰囲気中には水素ガスが含まれているので、水素による増速拡散が生じ、ボロン原子が一層容易にゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで到達する。

【0009】従って、本発明の目的は、例えばポリメタル構造を有するゲート電極に対する半導体装置の特性や信頼性の向上を目的とした後酸化を行うとき、ゲート電極を構成するシリコン層の側面を選択的に酸化することができ、ゲート電極を構成する金属層の酸化を防止でき、しかも、後酸化に起因した半導体装置の閾値電圧の変動を出来る限り抑制し得る半導体装置の製造方法及びpチャネル型半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の第1の態様に係る半導体装置の製造方法は、(イ)半導体層上に、シリコン層及び金属層を順次形成した後、金属層及びシリコン層をパターンニングして、側面にシリコン層が露出した積層体を形成する工程と、(ロ)シリコン層の側面を被覆し、且つ、金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、(ハ)酸化性ガス透過層から突出した金属層の頂面及び側面を耐酸化性層で被覆する工程と、

(ニ)半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程

と、(ホ)酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、から成ることを特徴とする。

【0011】上記の目的を達成するための本発明の第2の態様に係る半導体装置の製造方法は、(イ)半導体層上に、シリコン層、金属層及び耐酸化性層を順次形成した後、耐酸化性層、金属層及びシリコン層をバターンニングして、側面にシリコン層が露出した積層体を形成する工程と、(ロ)シリコン層の側面を被覆し、且つ、耐酸化性層及び金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、(ハ)酸化性ガス透過層から突出した金属層の側面を耐酸化性膜で被覆する工程と、(ニ)半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、(ホ)酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、から成ることを特徴とする。

【0012】上記の目的を達成するための本発明の第1の態様に係るpチャネル型半導体装置の製造方法は、

(A)半導体層の表面にゲート絶縁膜を形成する工程と、(B)ゲート絶縁膜上に、p型不純物を含有するシリコン層、及び、金属層が積層されたゲート電極を形成する工程と、(C)シリコン層の側面を被覆し、且つ、金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、(D)酸化性ガス透過層から突出した金属層の頂面及び側面を耐酸化性層で被覆する工程と、(E)半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、(F)酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、を備えていることを特徴とする。

【0013】上記の目的を達成するための本発明の第2の態様に係るpチャネル型半導体装置の製造方法は、

(A)半導体層の表面にゲート絶縁膜を形成する工程と、(B)ゲート絶縁膜上に、p型不純物を含有するシリコン層、金属層、及び耐酸化性層が積層されたゲート電極を形成する工程と、(C)シリコン層の側面を被覆し、且つ、耐酸化性層及び金属層が突出するように、半導体層上に酸化性ガス透過層を形成する工程と、(D)酸化性ガス透過層から突出した金属層の側面を耐酸化性膜で被覆する工程と、(E)半導体層上の酸化性ガス透過層を選択的に除去し、酸化性ガス透過層をシリコン層の側面に残す工程と、(F)酸化性雰囲気中で熱処理を行うことによって、シリコン層の側面に酸化膜を形成する工程、を備えていることを特徴とする。

【0014】本発明の第1若しくは第2の態様に係る半導体装置の製造方法においては、金属層はタングステン(W)あるいはモリブデン(Mo)から成り、シリコン層はポリシリコンあるいはアモルファスシリコンから成り、積層体はゲート電極を構成する形態とすることがで

きる。また、本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法においては、金属層はタングステン(W)あるいはモリブデン(Mo)から成り、シリコン層はポリシリコンあるいはアモルファスシリコンから成ることが好ましい。これらの場合、タングステンやモリブデンから成る金属層とポリシリコンやアモルファスシリコンから成るシリコン層との間に、シリコン層を構成するシリコン原子と金属層を構成する金属原子との反応を防止するために、例えば、WN、TiN、ZrN、HfNといった各種金属窒化物から成る反応防止層を形成することが好ましい。

【0015】本発明の第1若しくは第2の態様に係る半導体装置の製造方法、あるいは又、本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法(以下、これらを総称して、単に本発明と呼ぶ場合がある)において、酸化性ガス透過層(酸素ガスや水蒸気を透過させ得る層)は、酸化シリコン(SiO_2)から成ることが好ましいが、その他、SOG(Spin On Glass)、PSG(Phosphosilicate Glass)、BPSG(Boro-Phosphosilicate Glass)、BSG、AsSG、PbSG、SbSG、NSG、LTO(Low Temperature Oxide、低温CVD- SiO_2)、比誘電率が3.5以下の低誘電率絶縁材料(例えば、ポリアリールエーテル、シクロパーフルオロカーボンポリマー、ベンゾシクロブテン)、ポリイミド等の有機高分子材料、あるいはこれらの材料を積層したものを挙げることができる。

【0016】一方、耐酸化性層及び耐酸化性膜(酸素ガスや水蒸気を透過させ難い層あるいは膜)は、窒化シリコン(Si_3N_4)あるいは SiON から成ることが好ましい。

【0017】本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法において、p型不純物を含むシリコン層(例えばポリシリコン層やアモルファスシリコン層)及び金属層が積層されて成るゲート電極の形成方法として、例えば、p型不純物(例えば、ボロン)を含むシリコン層をCVD法に基づきゲート絶縁膜上に製膜した後、金属層を全面に製膜し、次いで、金属層及びシリコン層をバターンニングする方法、不純物を含まないシリコン層をCVD法にてゲート絶縁膜上に形成した後p型不純物(例えばボロンや BF_3)をイオン注入法にてシリコン層に注入した後、金属層を全面に製膜し、次いで、金属層及びシリコン層をバターンニングする方法を挙げることができる。

【0018】本発明において、半導体層は、例えばシリコン半導体基板それ自体から構成されていてもよいし、スピネル上にシリコンやSi-Ge混晶系をエピタキシャル成長させた基板、サファイヤ上にシリコンやSi-Ge混晶系をエピタキシャル成長させた基板、絶縁膜上に多結晶シリコンを溶解、再結晶させた基板を例示することができる。シリコン半導体基板としては、n型の不

純物がドーブされたn型シリコン半導体基板やp型の不純物がドーブされたp型シリコン半導体基板を用いることができる。シリコン半導体基板（シリコン単結晶ウェハ）は、CZ法、MCZ法、DL CZ法、FZ法等、如何なる方法で作製されたシリコン半導体基板であってもよく、また、予め水素アニールが加えられたものでもよい。また、半導体層は、支持体表面に形成された絶縁層上に形成されている、所謂SOI（Semiconductor-On-Insulator）層から構成されていてもよい。半導体層がシリコン半導体基板それ自体から構成されている場合には、半導体装置は所謂バルク半導体装置となるし、SOI層から構成されている場合には、半導体装置は所謂SOI型半導体装置となる。半導体層は、Siから構成されていてもよいし、Si-Ge混晶系から構成されていてもよい。

【0019】SOI層の形成方法として、

① 半導体基板と支持基板とを絶縁層を介して張り合わせた後、半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、研削、研磨後の半導体基板から成る半導体層を得る、基板張り合わせ法

② 半導体基板上に絶縁層を形成した後、半導体基板に水素イオンをイオン注入し、剥離層を半導体基板内部に形成した後、半導体基板と支持基板とを絶縁層を介して張り合わせ、次いで、熱処理を行うことによって剥離層から半導体基板を剥離（劈開）し、残された半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、研削、研磨後の半導体基板から成る半導体層を得る、スマート・カット法

③ 半導体基板の内部に酸素イオンをイオン注入した後、熱処理を行うことによって、半導体基板の内部に絶縁層を形成し、絶縁層の下に半導体基板の一部から成る支持体を、また、絶縁層の上に半導体基板の一部から成る半導体層を、それぞれ得るSIMOX（Separation by Implanted Oxygen）法

④ 支持体に相当する半導体基板上に形成された絶縁層上に気相又は固相で単結晶半導体層を形成することによって、半導体基板から成る支持体と、絶縁層と、単結晶半導体層から成る半導体層を得る方法

⑤ 陽極酸化によって半導体基板の表面を部分的に多孔質化して絶縁層を形成することによって、絶縁層の下に半導体基板の一部から成る支持体を、また、絶縁層の上に半導体基板の一部から成る半導体層を、それぞれ得る方法

を挙げることができる。ここで、支持基板として、シリコン半導体基板、スピネル上にシリコンをエピタキシャル成長させた基板、サファイヤ上にシリコンをエピタキシャル成長させた基板、絶縁膜上に多結晶シリコンを溶*

*融、再結晶させた基板、ガラス基板や石英基板を例示することができる。

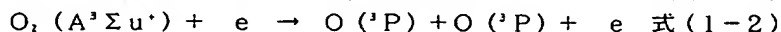
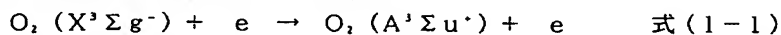
【0020】本発明における酸化性雰囲気として、乾燥酸素ガスを含む雰囲気、水蒸気を含む雰囲気を挙げることができる。シリコン層の側面に形成された酸化膜の厚さは、2nm乃至20nm、好ましくは4nm乃至10nmであることが望ましい。本発明における酸化性雰囲気の温度としては、p型不純物がこの工程において、例えば、シリコン層からゲート絶縁膜を通過し、半導体層にまで到達しないような温度、具体的には、水蒸気が半導体層等の上で結露しない温度以上、好ましくは200℃乃至1000℃、一層好ましくは200℃乃至900℃とすることが望ましい。

【0021】本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法において、前記工程（A）における半導体層の表面にゲート絶縁膜を形成するための酸化種として、乾燥酸素ガス、水蒸気を挙げることができる。

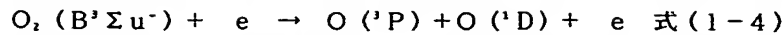
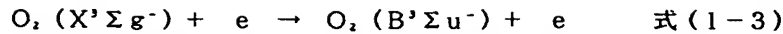
【0022】水蒸気を生成させる方法を、酸素ガスと水素ガスとを燃焼させる方法（パイロジェニック酸化法）、純水を加熱する方法、酸素ガス又は不活性ガスによって加熱純水をバブリングする方法、触媒（例えば、NiO等のNi系触媒、PtやPtO₂等のPt系触媒、PdやPdO等のPd系触媒、Ir系触媒、RuやRuO₂等のRu系触媒、AgやAg₂O等のAg系触媒、Au系触媒、CuO等のCu系触媒、MnO₂等のMn系触媒、Co₂O₃等のCo系触媒）を用いた触媒作用に基づき水素ガスと酸化性ガスとを反応させる方法とすることもできるが、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）を照射する方法（以下、便宜上、プラズマ酸化法と呼ぶ）、即ち、半導体層をプラズマ処理装置に搬入した後、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）を照射することによって水蒸気を生成させ、該水蒸気を用いて半導体層表面を酸化する方法、あるいは又、シリコン層の側面に酸化膜を形成する方法とすることが望ましい。尚、これらの水蒸気の生成方法に基づき半導体層表面にゲート絶縁膜を形成する方法、あるいは又、シリコン層の側面に酸化膜を形成する方法を、総称して加湿酸化法と呼ぶ場合がある。

【0023】マイクロ波放電によって生成した酸素プラズマにおいては、基底状態O₂（X³Σg⁻）は電子の衝突によって励起状態O₂（A¹Σu⁺）又はO₂（B³Σu⁻）に励起され、それぞれ、以下の式のように酸素原子に解離する。

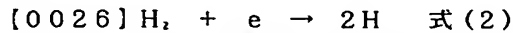
【0024】



9

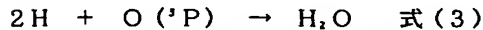


【0025】従って、酸素プラズマ中には励起酸素分子と酸素原子が存在し、これらが反応種となる。ここに水素 H_2 を導入すると、以下のようなプラズマが生成する。

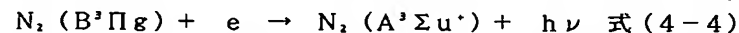
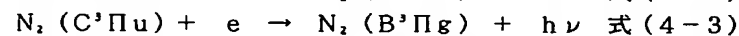
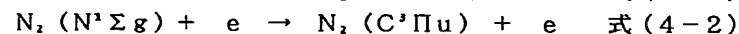
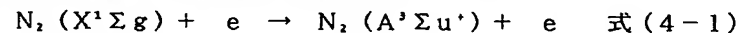


【0027】そして、酸素プラズマの内、例えば式(1-2)で生成した酸素プラズマと式(2)で生成した水素プラズマが反応して、水蒸気が生成する。そして、加熱された半導体層の表面、あるいは積層体やゲート電極を構成するシリコン層の側面は、酸化性ガス透過層を通してこの水蒸気によって酸化され、その表面に酸化膜が形成される。尚、本発明において、酸素ガス及び水素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって生成した水蒸気は、一部、プラズマ状態となっている。

【0028】



【0029】本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法にあっては、工程(A)にて半導体層の表面にゲート絶縁膜を形成する工程に、ゲート絶縁膜の窒化処理工程を含めることができる。この窒化処理工程は、窒素系ガスに電磁波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンによりゲート絶縁膜の表面を窒化する工程(便宜上、プラズマ窒化処理と呼ぶ)から成ることが好ましい。電磁波を照射すべ*



【0032】このように、プラズマ窒化処理を行うことによって、ゲート絶縁膜の表面を窒化することができ、しかも、熱窒化法のように高い温度で窒化処理を行う必要が無く、例えば常温でゲート絶縁膜の表面を窒化する窒化処理を行うことができるので、熱窒化法による窒素原子のゲート絶縁膜中への導入における問題、即ち、シリコン半導体基板に窒素が侵入することによる電流駆動能力の低下等の半導体装置特性への悪影響がない。更には、シリコン層に含まれるボロン原子がゲート絶縁膜を通過して半導体層にまで到達し、pチャネル型半導体装置の閾値電圧が変動するといった現象を、窒化処理を行うことによって一層確実に回避することができる。

【0033】尚、電磁波として、1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を用いることができる。水蒸気及び水素ガスを窒素、アルゴン、ヘリウム、ネオン、クリプトン、キセノンといった不活性ガスにて希釈した雰囲気中に、半導体層、積層体あるいはゲート電極を晒してもよい。また、

10

*き窒素系ガスとして、窒素ガス(N_2 ガス)の他、 N 、 O 、 N_2O 、 NO 、 NO_2 等、窒素原子と酸素原子の化合物であるガスを例示することができる。即ち、窒素系ガスを、 N_2 、 NO 、 N_2O 及び NO_2 から成る群から選択された少なくとも一種類のガスとすることができる。窒素系ガスは、これらのガスを少なくとも2種類、混合したガスであってもよい。ゲート絶縁膜の表面に窒化処理を施した後に加熱処理を施すことが、ゲート絶縁膜に生じたダメージの緩和を図る上で好ましい。加熱処理は、窒素ガス等の不活性ガス雰囲気で行うことが望ましく、加熱処理温度として800°C乃至1200°C、加熱処理時間として10秒乃至1時間を例示することができる。

【0030】窒素系ガスとして窒素(N_2)ガスを用いる場合、窒素(N_2)は、マイクロ波によるプラズマ中で、例えば、以下の式のように励起される。即ち、プラズマ中に存在する電子が励起され、これと窒素分子との非弾性衝突により励起された窒素分子及び窒素分子イオンが生成される。これらの励起された窒素分子及び窒素分子イオンがゲート絶縁膜の表面の半導体層を主に構成する原子と酸素原子との結合(例えば、半導体層を主に構成する原子がSiの場合、Si-O結合)を切断して、窒化酸化物(例えば、Si-O-N結合)が形成され、ゲート絶縁膜の表面が窒化される。ゲート絶縁膜の表面の組成は、半導体層を主に構成する原子がSiの場合、 SiO_xN_y で表される。

【0031】

電磁波を照射すべきガスとして、酸素ガスの代わりに、 NO 、 N_2O を用いることもできる。

【0034】シリコン半導体基板を基にして半導体装置を製造する場合、従来、ゲート絶縁膜を形成する前に、 NH_4OH/H_2O_2 水溶液で洗浄し更に HCl/H_2O_2 水溶液で洗浄するというRCA洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去する。ところで、RCA洗浄を行うと、シリコン半導体基板の表面は洗浄液と反応し、厚さ0.5~1nm程度の酸化シリコン膜が形成される。かかる酸化シリコン膜の膜厚は不均一であり、しかも、この酸化シリコン膜中には洗浄液成分が残留する。そこで、フッ化水素酸水溶液にシリコン半導体基板を浸漬して、かかる酸化シリコン膜を除去し、更に純水で薬液成分を除去する。これによって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半導体基板の表面を得ることができる。尚、このような工程によって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半

導体基板の表面を得ることを、本明細書では、シリコン半導体基板の表面を露出させると表現する。その後、かかるシリコン半導体基板の表面にゲート絶縁膜を形成する。

【0035】ところで、加湿酸化法に基づきゲート絶縁膜を形成する前の雰囲気を高湿の窒素ガス雰囲気とすると、シリコン半導体基板の表面に荒れ（凹凸）が生じる場合がある。このような現象は、フッ化水素酸水溶液及び純水での洗浄によってシリコン半導体基板の表面に形成されたSi-H結合の一部あるいは又Si-F結合の一部が、水素やフッ素の昇温脱離によって失われ、シリコン半導体基板の表面にエッチング現象が生じることに起因すると考えられている。例えば、アルゴンガス中でシリコン半導体基板を600℃以上に昇温するとシリコン半導体基板の表面に激しい凹凸が生じることが、培風館発行、大見忠弘著「ウルトラクリーンULSI技術」、第21頁に記載されている。

【0036】本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法にあっては、工程（A）において、半導体層の表面から半導体層を主に構成する原子が脱離しない温度に半導体層を保持した状態にて、加湿酸化法によって半導体層の表面にゲート絶縁膜の形成を開始することで、このような半導体層の表面に荒れ（凹凸）が発生するといった現象の発生を回避することが可能である。尚、半導体層の表面から半導体層を主に構成する原子が脱離しない温度は、半導体層表面を終端している原子と半導体層を主に構成する原子との結合が切断されない温度であることが望ましい。半導体層を主に構成する原子がSiである場合、即ち、半導体層がシリコン半導体基板、単結晶シリコン層、ポリシリコン層あるいはアモルファスシリコン層、SOI層から構成されている場合、半導体層の表面から半導体層を主に構成する原子が脱離しない温度を、半導体層表面のSi-H結合が切断されない温度、あるいは又、半導体層表面のSi-F結合が切断されない温度とすることが望ましい。面方位が（100）のシリコン半導体基板を半導体層として用いる場合、シリコン半導体基板の表面における水素原子の大半がシリコン原子の2本の結合手のそれぞれに1つずつ結合しており、H-Si-Hの終端構造を有する。然るに、シリコン半導体基板の表面状態が崩れた部分（例えばステップ形成箇所）には、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合手のそれぞれに水素原子が結合した状態の終端構造が存在する。尚、通常、シリコン原子の残りの結合手は結晶内部のシリコン原子と結合している。本明細書における「Si-H結合」という表現には、シリコン原子の2本の結合手のそれぞれに水素原子が結合した状態の終端構造、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合

手のそれぞれに水素原子が結合した状態の終端構造の全てが包含される。半導体層の表面にゲート絶縁膜の形成を開始するときの温度は、より具体的には、水蒸気が半導体層上で結露しない温度以上、好ましくは200℃以上、より好ましくは300℃以上とすることが、スルーボットの面から望ましい。

【0037】尚、工程（A）において、加湿酸化法によってゲート絶縁膜の形成が完了したときの半導体層の温度を、ゲート絶縁膜の形成を開始する際の半導体層の温度よりも高くしてもよい。この場合、ゲート絶縁膜の形成が完了したときの半導体層の温度は、600乃至1200℃、好ましくは700乃至1000℃、更に好ましくは750乃至900℃であることが望ましいが、このような値に限定するものではない。尚、階段状（ステップ状）に昇温してもよく、あるいは又、連続的に昇温してもよい。

【0038】昇温を階段状にて行う場合、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面に加湿酸化法によりゲート絶縁膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲に半導体層を保持してゲート絶縁膜を形成する第1のゲート絶縁膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、加湿酸化法によって所望の厚さになるまでゲート絶縁膜を更に形成する第2のゲート絶縁膜形成工程を含むことが好ましい。第2のゲート絶縁膜形成工程におけるゲート絶縁膜の形成温度は、600乃至1200℃、好ましくは700乃至1000℃、更に好ましくは750乃至900℃であることが望ましい。尚、第1のゲート絶縁膜形成工程における半導体層の保持温度範囲の上限としては、500℃、好ましくは450℃、より好ましくは400℃を挙げることができる。第2のゲート絶縁膜形成工程を経た後の最終的なゲート絶縁膜の膜厚は、半導体装置に要求される所定の厚さとすればよい。一方、第1のゲート絶縁膜形成工程を経た後のゲート絶縁膜の膜厚は、出来る限り薄いことが好ましい。但し、現在、半導体装置の製造に用いられているシリコン半導体基板の面方位は殆どの場合（100）であり、如何にシリコン半導体基板の表面を平滑化しても（100）シリコンの表面には必ずステップと呼ばれる段差が形成される。このステップは通常シリコン原子1層分であるが、場合によっては2～3層分の段差が形成されることがある。従って、第1のゲート絶縁膜形成工程を経た後のゲート絶縁膜の膜厚は、半導体層として（100）シリコン半導体基板を用いる場合、1nm以上とすることが好ましいが、これに限定するものではない。

【0039】第1のゲート絶縁膜形成工程と第2のゲート絶縁膜形成工程との間に昇温工程を含んでもよい。この場合、昇温工程における雰囲気を、不活性ガス雰囲気

若しくは減圧雰囲気とするか、あるいは又、水蒸気を含む酸化性雰囲気とすることが望ましい。ここで、不活性ガスとして、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。尚、昇温工程における雰囲気中の不活性ガス若しくは水蒸気を含むガスには、ハロゲン元素が含有されていてもよい。これによって、第1のゲート絶縁膜形成工程にて形成されたゲート絶縁膜の特性の一層の向上を図ることができる。即ち、半導体層を主に構成する原子がSiの場合、第1のゲート絶縁膜形成工程において生じ得る欠陥であるシリコンダングリング10
 ボンド(Si・)やSiOHが昇温工程においてハロゲン元素と反応し、シリコンダングリングボンドが終端しあるいは脱水反応を生じる結果、信頼性劣化因子であるこれらの欠陥が排除される。特に、これらの欠陥の排除は、第1のゲート絶縁膜形成工程において形成された初期のゲート絶縁膜(酸化シリコン膜)に対して効果的である。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス若しくは水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(H15
 Cl)、CCl₄、C₂HCl₃、Cl₂、HBr、NF₃、を挙げることができる。不活性ガス若しくは水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス若しくは水蒸気を含むガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。尚、昇温工程における雰囲気を、不活性ガスで希釈された水蒸気を含む雰囲気とすることもできる。

【0040】本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法においては、ゲート絶縁膜の形成中の水蒸気を含む酸化性雰囲気にハロゲン元素を含有させてもよい。これによって、タイムゼロ絶縁破壊(TZDB)特性及び経時絶縁破壊(TDDB)特性に優れたゲート絶縁膜を得ることができる。尚、ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl₄、C₂HCl₃、Cl₂、HBr、NF₃を挙げることができる。水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、水蒸気を含むガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。

【0041】形成されたゲート絶縁膜の特性を一層向上させるために、本発明の第1若しくは第2の態様に係るpチャネル型半導体装置の製造方法において、ゲート絶

縁膜の形成後、形成されたゲート絶縁膜に熱処理を施してもよい。

【0042】この場合、熱処理の雰囲気を、ハロゲン元素を含有する不活性ガス雰囲気とすることが望ましい。ハロゲン元素を含有する不活性ガス雰囲気中でゲート絶縁膜を熱処理することによって、タイムゼロ絶縁破壊(TZDB)特性及び経時絶縁破壊(TDDB)特性に優れたゲート絶縁膜を得ることができる。熱処理における不活性ガスとしては、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。また、ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl₄、C₂HCl₃、Cl₂、HBr、NF₃を挙げることができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。

【0043】尚、ゲート絶縁膜の形成と熱処理とを同一処理室内で行うことができる。熱処理の温度は、700~1200℃、好ましくは700~1000℃、更に好ましくは700~950℃である。また、熱処理の時間は、枚葉処理にて行う場合、1~10分とすることが好ましく、バッチ式にて行う場合、5~60分、好ましくは10~40分、更に好ましくは20~30分とすることが望ましい。

【0044】熱処理を行う場合、形成されたゲート絶縁膜に熱処理を施す際の雰囲気温度を、ゲート絶縁膜の形成が完了したときの温度よりも高くすることが望ましい。この場合、ゲート絶縁膜の形成が完了した後、処理室内の雰囲気を不活性ガス雰囲気に切り替えた後、熱処理を施すための雰囲気温度まで昇温してもよいし、雰囲気をハロゲン元素を含有する不活性ガス雰囲気に切り替えた後、熱処理を施すための雰囲気温度まで昇温してもよい。ここで、不活性ガスとして、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。また、不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl₄、C₂HCl₃、Cl₂、HBr、NF₃を挙げることができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。

【0045】通常、シリコン半導体基板の表面にゲート絶縁膜を形成する前に、 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 水溶液で洗浄し更に $\text{HCl}/\text{H}_2\text{O}_2$ 水溶液で洗浄するという RCA 洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去した後、フッ化水素酸水溶液及び純水によるシリコン半導体基板の洗浄を行う。ところが、その後、シリコン半導体基板が大気に曝されると、シリコン半導体基板の表面が汚染され、水分や有機物がシリコン半導体基板の表面に付着し、あるいは又、シリコン半導体基板表面の Si 原子が水酸基 (OH) と結合する虞がある (例えば、文献 "Highly-reliable Gate Oxide Formation for Giga-Scale LSIs by using Closed Wet Cleaning System and Wet Oxidation with Ultra-Dry Unloading", J. Yagami, et al., International Electron Device Meeting Technical Digest 95, pp 855-858 参照)。このような場合、そのままの状態ではゲート絶縁膜の形成を開始すると、形成されたゲート絶縁膜中に水分や有機物、あるいは又、例えば Si-OH が取り込まれ、形成されたゲート絶縁膜の特性低下あるいは欠陥部分の発生の原因となり得る。尚、欠陥部分とは、シリコンダングリングボンド (Si \cdot) や Si-H 結合といった欠陥が含まれるゲート絶縁膜の部分、あるいは又、Si-O-Si 結合が応力によって圧縮され若しくは Si-O-Si 結合の角度が厚い若しくはバルクの酸化シリコン膜中の Si-O-Si 結合の角度と異なるといった Si-O-Si 結合が含まれたゲート絶縁膜の部分の意味する。それ故、このような問題の発生を回避するために、本発明の第 1 若しくは第 2 の態様に係る p チャネル型半導体装置の製造方法においては、ゲート絶縁膜の形成の前に半導体層表面を洗浄する工程を含み、表面洗浄後の半導体層を大気に曝すことなく (即ち、例えば、半導体層表面の洗浄からゲート絶縁膜形成工程の開始までの雰囲気を入活性ガス雰囲気若しくは真空雰囲気とし)、ゲート絶縁膜の形成を実行することが好ましい。これによって、例えば半導体層としてシリコン半導体基板を用いる場合、大部分が水素で終端され、極一部がフッ素で終端された表面を有するシリコン半導体基板の表面にゲート絶縁膜を形成することができ、形成されたゲート絶縁膜の特性低下あるいは欠陥部分の発生を防止することができる。

【0046】ゲート絶縁膜の形成においてプラズマ酸化法を採用する場合、プラズマ処理装置の処理室内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するために、処理室内に水素ガスを導入する前に酸素ガスを導入することが望ましい。然るに、酸素ガスの処理室内への導入によって半導体層に酸化膜が形成される虞がある。このような酸化膜はドライ酸化膜であり、加湿酸化法によって形成される酸化膜よりも特性が劣っている。このようなドライ酸化膜の形

成を確実に防止するためには、例えば、ゲート絶縁膜の形成開始前に、処理室内に窒素ガス等の不活性ガスで希釈した水素ガスを先ず導入し、次いで、処理室内に酸素ガスを導入すればよい。但し、この場合には、爆鳴気反応の発生を確実に防止するために、水素ガスの濃度を、水素ガスが酸素ガスと反応して燃焼しないような濃度、具体的には、空気中での爆轟範囲以下 (空気との容量%で表した場合、18.3 容量%以下)、好ましくは空気中での燃焼範囲以下 (空気との容量%で表した場合、4.0 容量%以下)、あるいは又、酸素中での爆轟範囲以下 (酸素との容量%で表した場合、15.0 容量%以下)、好ましくは酸素中での燃焼範囲以下 (酸素との容量%で表した場合、4.5 容量%以下) となるような濃度とすることが望ましい。

【0047】本発明においては、金属層の頂面及び側面を耐酸化性層で被覆した状態で、あるいは又、金属層の頂面及び側面のそれぞれを耐酸化性層及び耐酸化性膜で被覆した状態で、シリコン層の側面に残された酸化性ガス透過層を通してシリコン層の側面に酸化膜を形成するので、即ち、後酸化処理を行うので、半導体装置の特性や信頼性の向上を図りつつ、金属層が酸化されることを防止することができる。しかも、従来の技術と異なり、 H_2O を 10 ppm ~ 10% 含む H_2 キャリアガス中で熱処理を行う必要が無く、通常用いられる p 型不純物であるボロン原子がゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで容易に到達し、p チャネル型半導体装置の閾値電圧を変動させるといった現象の発生を確実に防止することができる。

【0048】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態 (以下、実施の形態と略称する) に基づき本発明を説明する。

【0049】(実施の形態 1) 実施の形態 1 は、本発明の第 1 の態様に係る半導体装置の製造方法及び p チャネル型半導体装置の製造方法に関する。

【0050】本発明の実施に適した枚葉方式のプラズマ処理装置の概念図を図 1 に示す。このプラズマ処理装置は、処理室 10 と、半導体層 (実施の形態 1 においては、シリコン半導体基板 20) を載置するステージ 11 と、処理室 10 の外部に配設された磁石 13 と、処理室 10 の頂部に取り付けられたマイクロ波導波管 14 と、処理室 10 の頂部に配設されたガス導入部 16A、16B、16C から構成されている。処理室 10 は、プラズマ生成領域 10A と、プラズマ処理領域 10B から構成されており、ステージ 11 はプラズマ処理領域 10B に配されている。また、シリコン半導体基板 20 を加熱するための加熱手段 12 であるランプがステージ 11 内に納められている。マイクロ波導波管 14 にはマグネトロン 15 が取り付けられ、マグネトロン 15 によって 1 GHz 乃至 100 GHz のマイクロ波 (例えば、2.45

GHzのマイクロ波)が生成させられ、マイクロ波導波管14を介してかかるマイクロ波は処理室10のプラズマ生成領域10Aに導入される。更には、ガス導入部16A、16B、16Cのそれぞれから処理室10内に水素ガス、酸素ガス、窒素ガスが導入される。また、処理室10の側面に配設されたガス導入部17から処理室10内に不活性ガス(例えば窒素ガス)が導入される。処理室10内に導入された各種のガスは、処理室10の下部に設けられたガス排気部18から系外に排気される。処理室10の外部には処理室10内部が結露しないよう

に処理室10の内部の温度を制御するためのヒータ19が配設されている。
 【0051】プラズマ生成領域10Aにおいて、酸素ガス及び水素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成させる。水蒸気の一部はプラズマ状態にある。プラズマ処理領域10Bにおいて、かかる水蒸気及び水素ガスに、半導体層の表面が晒されてゲート絶縁膜が形成され、あるいは又、積層体やゲート電極を構成するシリコン層の側面が酸化性ガス透過層を介して曝され、シリコン層の側面に酸化膜が形成される。

【0052】尚、プラズマ酸化法を採用して半導体層の表面にゲート絶縁膜を形成する場合には、プラズマ生成領域10Aにおいて、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成させる。また、プラズマ処理領域10Bにおいて、この水蒸気を用いて半導体層の表面を酸化し、あるいは又、シリコン層の側面を酸化する。

【0053】更には、プラズマ窒化処理を行う場合には、プラズマ生成領域10Aにおいて、窒素系ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって、励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンを生成させる。また、プラズマ処理領域10Bにおいて、半導体層の表面に形成されたゲート絶縁膜の表面を窒化する。

【0054】実施の形態1においては、半導体層としてシリコン半導体基板を用いる。また、実施の形態1においては、プラズマ酸化法を採用した。図1に示したプラズマ処理装置を用いた本発明の第1の態様に係る半導体装置の製造方法及びpチャネル型半導体装置の製造方法を、以下、シリコン半導体基板20等の模式的な一部断面図である図2～図6を参照して説明する。

【0055】[工程-100] 先ず、リンをドーブした直径8インチのn型シリコンウエハ(CZ法にて作製)であるシリコン半導体基板20に、公知の方法でLOCOS構造を有する素子分離領域21を形成し、次いでウエリオン注入、チャネルストップイオン注入、閾値調

整イオン注入を行う。尚、素子分離領域はトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組み合わせであってもよい。その後、RCA洗浄によりシリコン半導体基板20の表面の微粒子や金属不純物を除去し、次いで、0.1%フッ化水素酸水溶液及び純水によるシリコン半導体基板20の表面洗浄を行い、シリコン半導体基板20の表面を露出させる(図2の(A)参照)。尚、シリコン半導体基板20の表面は大半が水素で終端しており、極一部がフッ素で終端されている。

【0056】[工程-110] 次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス(例えば窒素ガス)を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を800°Cに加熱する。

【0057】そして、半導体層であるシリコン半導体基板20の表面にゲート絶縁膜22を形成する。即ち、希釈用ガスとしての不活性ガス(例えば窒素ガス)の処理室10内への導入を中断し、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、マグネトロン15にマイクロ波電力を供給し、マグネトロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、水素ガス及び酸素ガスに電磁波を照射することによって、上述の式(1-1)～(1-4)の反応、及び式(2)、式(3)の反応が生じ、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層(具体的にはシリコン半導体基板20)の表面が酸化される。こうして、半導体層の表面に厚さ2nmのゲート絶縁膜22を形成することができる(図2の(B)参照)。ゲート絶縁膜22の形成条件を、以下の表1に例示する。

【0058】[表1]

マイクロ波電力	: 1 kW
マイクロ波周波数	: 2.45 GHz
酸素ガス流量	: 10 SLM
水素ガス流量	: 0.2 SLM
基板温度	: 800°C

【0059】[工程-120] その後、半導体層上に、シリコン層23A及び金属層23Cを順次形成した後、金属層23C及びシリコン層23Aをバターンニングして、側面にシリコン層23Aが露出した積層体を形成する。あるいは又、ゲート絶縁膜22上に、p型不純物を含むシリコン層23A、及び金属層23Cが積層されて成るゲート電極23を形成する。具体的には、ゲート絶縁膜22の形成が完了したならば、マグネトロン15へ

のマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却し、その後、シリコン半導体基板20をプラズマ処理装置から搬出する。そして、p型不純物（例えばボロン）を含んだ厚さ約100nmのシリコン層23A（実施の形態1においてはポリシリコン層）をCVD法にて全面に製膜する。次いで、厚さ約5nmのWNから成る反応防止層23B、厚さ約100nmのタンガステン（W）から成る金属層23Cを順次、スパッタ法にて形成した後、リソグラフィ技術及びドライエッチング技術に基づき、金属層23C、反応防止層23B及びシリコン層23Aをパターンニングする。こうして、図2の（C）に示すゲート電極23、あるいは又、シリコン層23A及び金属層23Cが積層され、側面にシリコン層23Aが露出した積層体を得ることができ

る。
【0060】【工程-130】次に、p型不純物（例えばボロンやBF₃）をイオン注入法にて半導体層（具体的には、シリコン半導体基板20）に注入して低濃度の不純物領域24を形成する（図3の（A）参照）。場合によっては、低濃度の不純物領域24の代わりに、エクステンション領域を形成してもよい。その後、導入されたp型不純物を活性化するためのRTA（Rapid Thermal Annealing）処理を行う。

【表2】

使用ガス	: SiH ₄ /O ₂ /Ar = 150/250/125 sccm
圧力	: 0.6 Pa
RF電力	: 上部1.3 kW/下部3.1 kW
バイアス電力	: 3.1 kW
基板温度	: 350°C

【0063】【工程-150】次に、酸化性ガス透過層25から突出した金属層23Cの頂面及び側面を耐酸化性層27で被覆する。具体的には、平行平板型のCVD装置を用い、以下の表3に例示する条件にて窒化シリコ

【表3】

使用ガス	: SiH ₄ /NH ₃ /N ₂ = 290/100/4000 sccm
圧力	: 565 Pa
RF電力	: 690 W
基板温度	: 400°C

【0065】【工程-160】その後、半導体層であるシリコン半導体基板20上の酸化性ガス透過層25を選択的に除去し、酸化性ガス透過層25をシリコン層23Aの側面に残す。具体的には、ゲート電極23の上方の耐酸化性層27の突出部を覆うようにレジスト層28を形成し（図4の（C）参照）、かかるレジスト層28をエッチング用マスクとして用いて耐酸化性層27及び酸化性ガス透過層25をエッチングした後、レジスト層28を除去する（図5の（A）参照）。シリコン層23Aの側面に、厚さ数十nm程度の酸化性ガス透過層25が残るように、エッチングを行う。

*1 Annealing) 処理を行う。

【0061】【工程-140】その後、シリコン層23Aの側面を被覆し、且つ、金属層23Cが突出するように、半導体層であるシリコン半導体基板20上に酸化性ガス透過層25を形成する。具体的には、酸化シリコン（SiO₂）から成る酸化性ガス透過層25を全面に、以下の表2に例示する高密度プラズマCVD（HDP-CVD）法にて形成する（図3の（B）参照）。尚、形成方法は、HDP-CVD法に限定されない。ゲート電極23から離れたシリコン半導体基板20上での酸化性ガス透過層25の厚さを、ゲート電極23を構成するシリコン層23Aの頂面（シリコン層23Aと反応防止層23Bの界面）のシリコン半導体基板20からの高さと同程度にする。そして、ゲート電極23の上方の酸化性ガス透過層25が露出し、シリコン半導体基板20上の酸化性ガス透過層25が覆われるように、レジスト層26を形成し（図3の（C）参照）、レジスト層26で覆われていない酸化性ガス透過層25をドライエッチング法にて除去した後、レジスト層26を除去する（図4の（A）参照）。ドライエッチング法にて除去された後の酸化性ガス透過層25の部分の厚さを、ゲート電極23から離れたシリコン半導体基板20上での酸化性ガス透過層25の厚さと略等しくする。

【0062】

※n（SiN）から成る耐酸化性層27を全面に形成する（図4の（B）参照）。

【0064】

【0066】【工程-170】次に、酸化性雰囲気中で熱処理を行うことによって、即ち、後酸化処理を行うことによって、シリコン層23Aの側面に酸化膜23Dを形成する（図5の（B）参照）。具体的には、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス（例えば窒素ガス）を処理室10内に導入する。そして、以下の表4に例示する条件に基づく熱処理を行う。尚、酸化性雰囲気は、乾燥酸素ガスを含む雰囲気であってもよい。また、水蒸気の生成方法はプラズマ酸化法に限定されない。水蒸気が酸化

性ガス透過層25を通過し、シリコン層23Aの側面を酸化し、シリコン層23Aの側面に酸化膜23Dが形成される。尚、シリコン半導体基板20の表面にも酸化シリコン膜が形成されるが、かかる酸化シリコン膜の図示は省略した。金属層23Cの頂面及び側面が耐酸化性層で被覆されているので、金属層23Cが酸化されることが無く、従って、高温の後酸化の雰囲気中に水素ガスを含ませる必要がないので、水素による増速拡散が生じ、ボロン原子が一層容易にゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで到達するといった現象が発生することがない。

【0067】[表4]

マイクロ波電力 : 10 kW

マイクロ波周波数 : 2.45 GHz

酸素ガス流量 : 10 SLM

水素ガス流量 : 0.2 SLM

基板温度 : 800°C

【0068】[工程-180]その後、ゲート電極23の側面の耐酸化性層27及び酸化性ガス透過層25をRIE法に基づきエッチングすることによって、耐酸化性層27及び酸化性ガス透過層25から成るサイドウォール29を形成する(図5の(C)参照)。次いで、p型不純物(例えばボロンやBF₃)をイオン注入法にて半導体層(具体的には、シリコン半導体基板20)に注入してソース/ドレイン領域30を形成した後(図6の(A)参照)、導入されたp型不純物を活性化するためのRTA処理を行う。低濃度の不純物領域24によって挟まれたシリコン半導体基板20の領域がチャネル形成領域31に相当する。その後、全面に層間絶縁層32をCVD法にて製膜し、ソース/ドレイン領域30の上方の層間絶縁層32に開口部を設け、かかる開口部内を含む層間絶縁層32の上に配線材料層をスパッタ法にて形成し、配線材料層をパターニングすることによって配線33を形成し、図6の(B)に模式的な一部断面図を示すpチャネル型半導体装置を得ることができる。尚、開口部内に、不純物を含有するポリシリコン、金属あるいは金属化合物から成るコンタクトプラグを形成し、次いで、層間絶縁層32の上に配線材料層をスパッタ法にて形成し、配線材料層をパターニングすることによって配線33を形成してもよい。

【0069】(実施の形態2)実施の形態2は、実施の形態1のpチャネル型半導体装置の製造方法の変形である。実施の形態2が実施の形態1と相違する点は、[工程-110]に引き続き、プラズマ窒化処理をゲート絶縁膜22に対して施す点にある。この点を除き、実施の形態2は実施の形態1と同様である。

【0070】具体的には、ゲート絶縁膜の形成完了後、マグネトロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、

シリコン半導体基板20を室温まで冷却する。次いで、ガス導入部17からの不活性ガスの処理室10内への導入を中止する。その後、ガス導入部16Cから処理室10に、窒素系ガスである窒素ガスを導入する。併せて、マグネトロン15にマイクロ波電力を供給し、マグネトロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、窒素ガスに電磁波を照射することによって上述の式(4-1)~(4-4)の反応にて生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが処理室10の下方に位置するプラズマ処理領域10Bに到達し、ゲート絶縁膜22の表面が窒化される。プラズマ窒化処理の条件を、以下の表5に例示する。尚、シリコン半導体基板の温度を室温にする理由は、窒化処理において窒素原子がシリコン半導体基板内に拡散することを抑制するためである。

【0071】[表5]

マイクロ波電力 : 1 kW

マイクロ波周波数 : 2.45 GHz

窒素ガス流量 : 0.4 SLM

圧力 : 0.16 Pa

基板温度 : 室温(25°C)

【0072】尚、プラズマ窒化処理を行った後、加熱処理を行ってもよい。具体的には、ガス導入部16Cからの処理室10への窒素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、加熱手段12によってシリコン半導体基板20を850°Cまで昇温する。そして、シリコン半導体基板20の温度が850°Cに達し、その温度が安定したならば、窒素ガス流量4SLMで5分間、加熱処理を行う。この加熱処理によって、ゲート絶縁膜に生じたダメージの緩和を図ることができる。

【0073】(実施の形態3)実施の形態3も、実施の形態1のpチャネル型半導体装置の製造方法の変形である。実施の形態1においてはシリコン半導体基板20を800°Cに加熱した状態でプラズマ酸化法にてゲート絶縁膜を形成したが、実施の形態3においては、プラズマ酸化法に基づき、2段階の酸化を行う。即ち、ゲート絶縁膜の形成を、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面にゲート絶縁膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲に半導体層を保持してゲート絶縁膜を形成する第1のゲート絶縁膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、所望の厚さになるまでゲート絶縁膜を更に形成する第2のゲート絶縁膜形成工程から構成した。尚、実施の形態3においても図1に示したプラズマ処理装置

を用いる。

【0074】[工程-300] 先ず、実施の形態1の[工程-100]と同様の工程を実行する。

【0075】[工程-310] 次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス（例えば窒素ガス）を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を300°Cに加熱する。尚、この温度においては、半導体層表面のSi-H結合は切断されない。従って、半導体層（実施の形態3においてはシリコン半導体基板20）の表面に凹凸（荒れ）が生じることがない。

【0076】[工程-320] その後、希釈用ガスとしての不活性ガス（例えば窒素ガス）をガス導入部17から処理室10内に導入しながら、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、マグネトロン15にマイクロ波電力を供給し、マグネトロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層（具体的にはシリコン半導体基板20）の表面が酸化される。こうして、半導体層の表面にゲート絶縁膜（実施の形態3においては酸化シリコン膜）を形成することができる。ゲート絶縁膜の形成条件を、以下の表6に例示する。この第1のゲート絶縁膜形成工程において、厚さ1nmのゲート絶縁膜を形成する。

【0077】[表6]

マイクロ波電力 : 1kW
 マイクロ波周波数 : 2.45GHz
 酸素ガス流量 : 10SLM
 水素ガス流量 : 0.2SLM
 不活性ガス流量 : 10SLM
 基板温度 : 300°C

【0078】[工程-330] その後、マグネトロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中断し、ガス導入部17からの不活性ガスの処理室10内への導入を継続しながら、加熱手段12によってシリコン半導体基板20を800°Cまで昇温する。尚、半導体層の表面に既に薄いゲート絶縁膜が形成されているので、この昇温工程において半導体層（実施の形態3においてはシリコン半導体基板20）の表面に凹凸（荒れ）が生じることがない。次いで、再び、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、再び、マグネトロン15にマイクロ波電力を供給

し、マグネトロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層（具体的にはシリコン半導体基板20）の表面を更に酸化する。こうして、半導体層の表面に総厚2nmのゲート絶縁膜を形成する。この第2のゲート絶縁膜形成工程におけるゲート絶縁膜の形成条件を、以下の表7に例示する。

【0079】[表7]

マイクロ波電力 : 1kW
 マイクロ波周波数 : 2.45GHz
 酸素ガス流量 : 10SLM
 水素ガス流量 : 0.2SLM
 不活性ガス流量 : 10SLM
 基板温度 : 800°C

【0080】[工程-340] 以降、実施の形態1の[工程-120]～[工程-180]を実行することによって、あるいは又、実施の形態2にて説明したプラズマ窒化処理を経た後、実施の形態1の[工程-120]～[工程-180]を実行することによって、pチャネル型半導体装置を得ることができる。

【0081】（実施の形態4）実施の形態4も、実施の形態1のpチャネル型半導体装置の製造方法の変形である。実施の形態4が実施の形態1と相違する点は、半導体層の表面にゲート絶縁膜を形成した後、形成されたゲート絶縁膜に加熱処理を施す点にある。以下、実施の形態4のpチャネル型半導体装置の製造方法を説明する。尚、実施の形態4においても図1に示したプラズマ処理装置を用いる。

【0082】[工程-400] 実施の形態1の[工程-100]～[工程-110]と同様の工程を実行することによって、半導体層（実施の形態4においてはシリコン半導体基板20）の表面に厚さ2nmのゲート絶縁膜を形成する。

【0083】[工程-410] その後、マグネトロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17からの不活性ガスの処理室10内へ導入しながら、加熱手段12によってシリコン半導体基板20を850°Cまで昇温する。次いで、塩化水素ガスを0.1容量%含有する窒素ガスをガス導入部17から処理室10内に導入し、5分間、加熱処理を行う。これによって、タイムゼロ絶縁破壊（TZDB）特性及び経時絶縁破壊（TDDB）特性に優れたゲート絶縁膜を得ることができる。

【0084】[工程-420] その後、ガス導入部17からの塩化水素ガスを0.1容量%含有する窒素ガスの処理室10への導入を中止し、ガス導入部17から不活

性ガス（例えば窒素ガス）を処理室10へ導入する。以降、実施の形態1の〔工程-120〕～〔工程-180〕を実行することによって、あるいは又、実施の形態2にて説明したプラズマ窒化処理を経た後、実施の形態1の〔工程-120〕～〔工程-180〕を実行することによって、pチャネル型半導体装置を得ることができる。また、実施の形態4の加熱処理を、実施の形態3の2段階のゲート絶縁膜形成工程に加えてもよい。

【0085】（実施の形態5）実施の形態5も、実施の形態1のpチャネル型半導体装置の製造方法の変形である。実施の形態5が実施の形態1と相違する点は、ゲート絶縁膜の形成にパイロジェニック酸化法を採用した点にある。

【0086】パイロジェニック酸化法に基づき酸化シリコン膜を形成するための縦型方式の酸化膜形成装置の概念図を図7に示す。この縦型方式の酸化膜形成装置は、垂直方向に保持された石英製の二重管構造の酸化炉50（処理室に相当する）と、酸化炉50へ湿式ガス及び／ガスを導入するためのガス導入部52と、酸化炉50から湿式ガス及び／ガスを排気するガス排気部53と、SiCから成る円筒状の均熱管56を介して酸化炉50内を所定の雰囲気温度に保持するためのヒータ54と、基板搬出入部60と、基板搬出入部60へ窒素ガス等の不活性ガスを導入するためのガス導入部61と、基板搬出入部60からガスを排気するガス排気部62と、酸化炉50と基板搬出入部60とを仕切るシャッター55と、シリコン半導体基板20を酸化炉50内に搬入出するためのエレベータ機構63から構成されている。エレベータ機構63には、シリコン半導体基板20を載置するための石英ポート64が取り付けられている。また、燃焼室70に供給された水素ガスを酸素ガスと、燃焼室70内で高温にて混合し、燃焼させることによって、湿式ガスを生成させる。かかる湿式ガスは、配管71、ガス流路51及びガス導入部52を介して酸化炉50内に導入される。尚、ガス流路51は、二重管構造の酸化炉50の内壁及び外壁の間の空間に相当する。

【0087】図7に示した縦型方式の酸化膜形成装置を使用した、パイロジェニック酸化法に基づくゲート絶縁膜の形成方法の概要を、以下、説明する。

【0088】〔工程-500〕まず、実施の形態1の〔工程-100〕と同様の工程を実行する。

【0089】〔工程-510〕配管72、燃焼室70、配管71、ガス流路51及びガス導入部52を介して酸化炉50へ窒素ガスを導入し、酸化炉50内を窒素ガス雰囲気とし、且つ、均熱管56を介してヒータ54によって酸化炉50の雰囲気温度を700℃前後に保持する。この状態においては、シャッター55は閉じておく。基板搬出入部60は大気へ解放された状態である。そして、基板搬出入部60にシリコン半導体基板20を搬入し、石英ポート64にシリコン半導体基板20を載

置する。基板搬出入部60へのシリコン半導体基板20の搬入が完了した後、図示しない扉を閉め、基板搬出入部60にガス導入部61から窒素ガスを導入し、ガス排気部62から排出し、基板搬出入部60内を窒素ガス雰囲気とする。

【0090】〔工程-520〕基板搬出入部60内が十分に窒素ガス雰囲気となった時点で、シャッター55を開き、エレベータ機構63を動作させて石英ポート64を上昇させ、シリコン半導体基板20を酸化炉50内に搬入する。エレベータ機構63が最上昇位置に辿り着くと、石英ポート64の基部によって酸化炉50と基板搬出入部60との間は連通しなくなる。

【0091】〔工程-530〕その後、窒素ガス雰囲気の酸化炉50の雰囲気温度を昇温し、800～900℃とする。そして、配管72、73を介して燃焼室70内に酸素ガス及び水素ガスを供給し、水素ガスを酸素ガスと燃焼室70内で高温にて混合し、燃焼させることによって生成した湿式ガスを、配管71、ガス流路51及びガス導入部52を介して酸化炉50へ導入し、ガス排気部53から排気する。これによって、シリコン半導体基板20の表面にゲート絶縁膜が形成される。尚、燃焼室70内の温度を、例えばヒータ（図示せず）によって700～900℃に保持する。パイロジェニック酸化法における条件を、以下の表8に例示する。

【0092】〔表8〕

水素ガス流量：5SLM

酸素ガス流量：10SLM

燃焼温度：750℃

【0093】〔工程-540〕所望の厚さのゲート絶縁膜を形成した後、燃焼室70内への酸素ガス及び水素ガスの供給を中止し、次いで、酸化炉50内に窒素ガス等の不活性ガスを導入しながら、酸化炉50の雰囲気温度を700℃前後まで降温し、次いで、エレベータ機構63を動作させて石英ポート64を下降させ、次いで、基板搬出入部60からシリコン半導体基板20を搬出する。

【0094】〔工程-550〕以降、実施の形態1の〔工程-120〕～〔工程-180〕を実行することによって、あるいは又、実施の形態2にて説明したプラズマ窒化処理を経た後、実施の形態1の〔工程-120〕～〔工程-180〕を実行することによって、pチャネル型半導体装置を得ることができる。尚、実施の形態5のパイロジェニック酸化法に基づき、実施の形態3にて説明した2段階のゲート絶縁膜形成工程を実行してもよいし、更には、実施の形態4にて説明した加熱処理を加えてもよい。また、実施の形態1の〔工程-170〕における酸化性雰囲気をパイロジェニック酸化法に基づき形成してもよい。金属層23Cの頂面及び側面が耐酸化性層で被覆されているので、金属層23Cが酸化されることが無く、従って、高温の後酸化の雰囲気中に水素ガ

スを含ませる必要がないので、水素による増速拡散が生じ、ボロン原子が一層容易にゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで到達するといった現象が発生することがない。

【0095】（実施の形態6）実施の形態6は、本発明の第2の態様に係る半導体装置の製造方法及びpチャネル型半導体装置の製造方法に関する。

【0096】実施の形態6においても、半導体層としてシリコン半導体基板を用いた。また、実施の形態6においても、プラズマ酸化法を採用した。図1に示したプラズマ処理装置を用いた本発明の第6の態様に係る半導体装置の製造方法及びpチャネル型半導体装置の製造方法を、以下、シリコン半導体基板20等の模式的な一部断面図である図8～図11を参照して説明する。

【0097】[工程-600] 先ず、実施の形態1の[工程-100]及び[工程-110]と同様の工程を実行する。

【0098】[工程-610] その後、半導体層上に、シリコン層23A、金属層23C及び耐酸化性層40を順次形成した後、耐酸化性層40、金属層23C及びシリコン層23Aをパターニングして、側面にシリコン層23Aが露出した積層体を形成する。あるいは又、ゲート絶縁膜22上に、p型不純物を含むシリコン層23A、金属層23C、及び耐酸化性層40が積層されたゲート電極123を形成する。具体的には、ゲート絶縁膜22の形成が完了したならば、マグネトロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却し、その後、シリコン半導体基板20をプラズマ処理装置から搬出する。そして、p型不純物（例えばボロン）を含んだ厚さ約100nmのシリコン層23A（実施の形態1においてはポリシリコン層）をCVD法にて全面に製膜する。次いで、厚さ約5nmのWNから成る反応防止層23B、厚さ約100nmのタングステンから成る金属層23C、厚さ約100nmの窒化シリコン（SiN）から成る耐酸化性層40を順次形成した後、リソグラフィ技術及びドライエッチング技術に基づき、耐酸化性層40、金属層23C、反応防止層23B及びシリコン層23Aをパターニングする。こうして、図8の（A）に示すように、ゲート電極123、あるいは又、シリコン層23A、金属層23C及び耐酸化性層40が積層され、側面にシリコン層23Aが露出した積層体を得ることができる。

【0099】[工程-620] 次に、実施の形態1の[工程-130]と同様の工程を実行することによって、シリコン半導体基板20に低濃度の不純物領域24を形成する（図8の（B）参照）。場合によっては、低濃度の不純物領域24の代わりに、エクステンション領域を形成してもよい。

【0100】[工程-630] その後、シリコン層23Aの側面を被覆し、且つ、耐酸化性層40及び金属層23Cが突出するように、半導体層であるシリコン半導体基板20上に酸化性ガス透過層25を形成する。具体的には、酸化シリコン（SiO₂）から成る酸化性ガス透過層25を全面に、表2に例示した高密度プラズマCVD（HDP-CVD）法にて形成する（図8の（C）参照）。ゲート電極123から離れたシリコン半導体基板20上での酸化性ガス透過層25の厚さを、ゲート電極123を構成するシリコン層23Aの頂面（シリコン層23Aと反応防止層23Bの界面）のシリコン半導体基板20からの高さと同程度にする。そして、ゲート電極123の上方の酸化性ガス透過層25が露出し、シリコン半導体基板20上の酸化性ガス透過層25が覆われるように、レジスト層26を形成し（図9の（A）参照）、レジスト層26で覆われていない酸化性ガス透過層25をドライエッチング法にて除去した後、レジスト層26を除去する（図9の（B）参照）。ドライエッチング法にて除去された後の酸化性ガス透過層25の部分の厚さを、ゲート電極123から離れたシリコン半導体基板20上での酸化性ガス透過層25の厚さと略等しくする。

【0101】[工程-640] 次に、酸化性ガス透過層25から突出した金属層23Cの側面を耐酸化性膜41で被覆する（図9の（C）参照）。具体的には、平行平板型のCVD装置を用い、表3に例示した条件にて窒化シリコン（SiN）層を全面に形成した後、窒化シリコン層をエッチバックすることによって、酸化性ガス透過層25から突出した金属層23Cの側面を窒化シリコン（SiN）から成る耐酸化性膜41で被覆することができる。

【0102】[工程-650] その後、耐酸化性膜41をエッチング用マスクとして用いて、半導体層であるシリコン半導体基板20上の酸化性ガス透過層25をドライエッチング法にて選択的に除去し、酸化性ガス透過層25をシリコン層23Aの側面に残す（図10の（A）参照）。シリコン層23Aの側面に、厚さ数十nm程度の酸化性ガス透過層25が残るように、エッチングを行う。

【0103】[工程-660] 次に、実施の形態1の[工程-170]と同様にして、酸化性雰囲気中で熱処理を行うことによって、即ち、後酸化処理を行うことによって、シリコン層23Aの側面に酸化膜23Dを形成する（図10の（B）参照）。尚、シリコン半導体基板20の表面にも酸化シリコン膜が形成されるが、かかる酸化シリコン膜の図示は省略した。

【0104】[工程-670] その後、p型不純物（例えばボロンやBF₃）をイオン注入法にて半導体層（具体的には、シリコン半導体基板20）に注入してソース／ドレイン領域30を形成した後（図11の（A）参

照)、導入されたp型不純物を活性化するためのRTA処理を行う。低濃度の不純物領域24によって挟まれたシリコン半導体基板20の領域がチャネル形成領域31に相当する。その後、全面に層間絶縁層32をCVD法にて製膜し、ソース/ドレイン領域30の上方の層間絶縁層32に開口部を設け、かかる開口部内を含む層間絶縁層32の上に配線材料層をスパッタ法にて形成し、配線材料層をパターニングすることによって配線33を形成し、図11の(B)に模式的な一部断面図を示すpチャネル型半導体装置を得ることができる。尚、開口部内に、不純物を含有するポリシリコン、金属あるいは金属化合物から成るコンタクトプラグを形成し、次いで、層間絶縁層32の上に配線材料層をスパッタ法にて形成し、配線材料層をパターニングすることによって配線33を形成してもよい。

【0105】尚、実施の形態2～実施の形態5にて説明した実施の形態1の各種変形例を、実施の形態6の半導体装置の製造方法及びpチャネル型半導体装置の製造方法に適用することができる。

【0106】以上、本発明を好ましい実施の形態に基づき説明したが、本発明はこれらの実施の形態に限定されるものではない。実施の形態にて説明した各種の条件やプラズマ処理装置の構造は例示であり、適宜変更することができる。

【0107】例えば、実施の形態3の【工程-330】において、マグネトロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止することなく加熱手段12によってシリコン半導体基板20を800°Cまで昇温してもよい。また、実施の形態4の【工程-410】において、不活性ガス(例えば窒素ガス)をガス導入部17から処理室10内に導入しつつシリコン半導体基板20の温度を加熱手段12によって850°Cまで昇温したが、その代わりに、例えば塩化水素ガスを0.1容量%含有する不活性ガス(例えば窒素ガス)をガス導入部17から処理室10内に導入しつつ、シリコン半導体基板20の温度を加熱手段12によって850°Cまで昇温してもよい。更には、第1のゲート絶縁膜形成工程、昇温工程、第2のゲート絶縁膜形成工程のそれぞれにおける雰囲気、例えば塩化水素ガスを含ませてもよい。

【0108】実施の形態においては、専らシリコン半導体基板の表面に絶縁膜を形成したが、本発明に基づき、基板の上に製膜されたエピタキシャルシリコン層にpチャネル型半導体装置を形成することもできるし、基板の上に形成された絶縁層の上に製膜されたポリシリコン層あるいはアモルファスシリコン層等にpチャネル型半導体装置を形成することもできる。

【0109】あるいは又、SOI層にpチャネル型半導体装置を形成してもよい。尚、SOI型半導体装置における素子分離領域は、以下の方法で形成することができ

る。

(a) 半導体層上にパッド酸化膜及び窒化シリコン膜を形成し、窒化シリコン膜及びパッド酸化膜をパターニングすることによって、素子分離領域形成用のマスクを形成し、かかる素子分離領域形成用のマスクを用いて半導体層を熱酸化することで素子分離領域を形成する、所謂LOCOS法

(b) 半導体層をパターニングすることによってトレンチを半導体層に形成した後、トレンチ内を絶縁材料で埋め込む、所謂STI(Shallow Trench Isolation)法

(c) 前述の①あるいは②の方法に基づき基板を準備する場合、予め、半導体基板にトレンチを形成し、かかるトレンチ内を絶縁層で埋め込み、次いで、全面に層間膜(例えば、SiO₂膜、SiO₂膜とポリシリコン膜の積層構造を有する膜)を形成した後、かかる半導体基板と支持基板とをこの層間膜を介して張り合わせ、半導体基板を裏面から研削、研磨することによって、支持基板から成る支持体と、絶縁層と、半導体基板から成る半導体層を得る、基板張り合わせ法とSTI法とを組み合わせた方法

(d) 絶縁層上の半導体層を除去することによって絶縁層を露出させることで、素子分離領域を形成するメサ(Mesa)型素子分離領域形成法

【0110】ゲート絶縁膜の形成及び/又はゲート絶縁膜の表面への窒化処理、後酸化は、枚葉方式だけでなく、複数の半導体層を同時に処理するバッチ方式にて行うこともできる。

【0111】実施の形態において0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行った後、半導体層をプラズマ処理装置や酸化膜形成装置(以下、これらの装置を総称してプラズマ処理装置等と呼ぶ)に搬入したが、半導体層の表面洗浄からプラズマ処理装置等への搬入までの雰囲気、不活性ガス(例えば窒素ガス)雰囲気としてもよい。尚、このような雰囲気は、例えば、半導体層の表面洗浄装置の雰囲気を不活性ガス雰囲気とし、且つ、不活性ガスが充填された搬送用ボックス内に半導体層(例えばシリコン半導体基板)を納めてプラズマ処理装置等に搬入する方法や、図12に模式図を示すように、表面洗浄装置、プラズマ処理装置等、搬送路、ローダー及びアンローダーから構成されたクラスターツール装置を用い、表面洗浄装置からプラズマ処理装置等までを搬送路で結び、かかる表面洗浄装置、搬送路及びプラズマ処理装置等の雰囲気を不活性ガス雰囲気とする方法によって達成することができる。

【0112】あるいは又、0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行う代わりに、表9に例示する条件にて、無水フッ化水素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、パーティクルの発生防止のためにメタノールを添加する。あるいは又、表10に例示する条件にて、塩化水

素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、半導体層の表面洗浄開始前あるいは表面洗浄完了後における表面洗浄装置内の雰囲気や搬送路等内の雰囲気は、不活性ガス雰囲気としてもよいし、例えば $1.3 \times 10^{-1} \text{ Pa}$ (10^{-3} Torr) 程度の真空雰囲気としてもよい。尚、搬送路等内の雰囲気を真空雰囲気とする場合には、半導体層を搬入する際のプラズマ処理装置等の雰囲気を例えば $1.3 \times 10^{-1} \text{ Pa}$ (10^{-3} Torr) 程度の真空雰囲気としておき、半導体層の搬入完了後、プラズマ処理装置等の雰囲気を不活性ガス（例えば窒素ガス）雰囲気とすればよい。

【0113】[表9]

無水フッ化水素ガス：300 sccm
メタノール蒸気：80 sccm
窒素ガス：1000 sccm
圧力：0.3 Pa
温度：60°C

【0114】[表10]

塩化水素ガス/窒素ガス：1容量%
温度：800°C

【0115】これらの方法を採用することによって、ゲート絶縁膜の形成前に半導体層の表面を汚染等の無い状態に保つことができる結果、形成されたゲート絶縁膜中に水分や有機物、あるいは又、例えば Si-OH が取り込まれ、形成されたゲート絶縁膜の特性が低下しあるいは欠陥部分が発生することを、効果的に防ぐことができる。

【0116】先に説明したように、プラズマ酸化法を採用する場合、ゲート絶縁膜の形成において、処理室10内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室10内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するため、且つ、半導体層にドライ酸化膜が形成されることを防止するために、例えば、実施の形態1の「工程-110」において、ガス導入部17から処理室10内に例えば流量10 SLMの希釈用ガスとしての不活性ガス（例えば窒素ガス）を導入しながら、ガス導入部16Aから処理室10内に流量0.2 SLMの水素ガスを導入し、その後、例えばガス導入部16Bから処理室10内に例えば流量10 SLMの酸素ガスの導入を開始し、希釈用の不活性ガスの処理室10内への導入を中止すればよい。次いで、マグネトロン15にマイクロ波電力を供給し、マグネトロン15にて生成した2.45 GHzのマイクロ波をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。このような操作によって、水蒸気生成前の処理室10内における水素ガス濃度は十分に低い値となり、爆鳴気反応が生じることを確実に防止することができる。しかも、ドライ酸化膜の形成を確実に防止することができる。

【0117】

【発明の効果】本発明においては、金属層の頂面及び側面を耐酸化性層で被覆した状態で、あるいは又、金属層の頂面を耐酸化性層で、側面を耐酸化性膜で被覆した状態で、後酸化処理を行うので、半導体装置の特性や信頼性の向上を図りつつ、金属層が酸化されることを防止することができる。しかも、従来の技術と異なり、 H_2O を含む H_2 キャリアガス中で熱処理を行う必要が無く、ボロン原子がゲート電極からゲート絶縁膜を通過するといった現象の発生を抑制することができるので、pチャネル型半導体装置の閾値電圧の変動を回避することができる。

【0118】尚、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスに積層体あるいはゲート電極を晒せば、従来の後酸化よりも低い温度でシリコン層の側面を酸化することができる結果、p型不純物であるボロン原子がこの後酸化工程において、シリコン層からゲート絶縁膜を通過し、半導体層にまで到達することを効果的に抑制することができる。しかも、プラズマ酸化法を採用すれば、本質的に1つのプラズマ処理装置内でゲート絶縁膜の形成と後酸化とを行うことが可能となり、ゲート絶縁膜の形成と後酸化のための装置が1つで済み、装置構成を簡素化することができる。また、プラズマ酸化法を採用すれば、酸化速度が抑制・制御された状態で水蒸気を容易に且つ確実に生成させることが可能となり、加湿酸化法によって薄いゲート絶縁膜を形成することができる。しかも、水蒸気を用いた酸化法によって酸化膜を形成するので、優れた経時絶縁破壊(TDD)特性を有する酸化膜を得ることができる。

【図面の簡単な説明】

【図1】本発明の方法の実施に適したプラズマ処理装置の概念図である。

【図2】実施の形態1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、実施の形態1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、実施の形態1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図5】図4に引き続き、実施の形態1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図6】図5に引き続き、実施の形態1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図7】バイロジェニック酸化法に基づき酸化膜を形成するための縦型方式の酸化膜形成装置の概念図である。

【図8】実施の形態6の絶縁膜の形成方法を説明するた

めのシリコン半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、実施の形態6の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、実施の形態6の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、実施の形態6の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

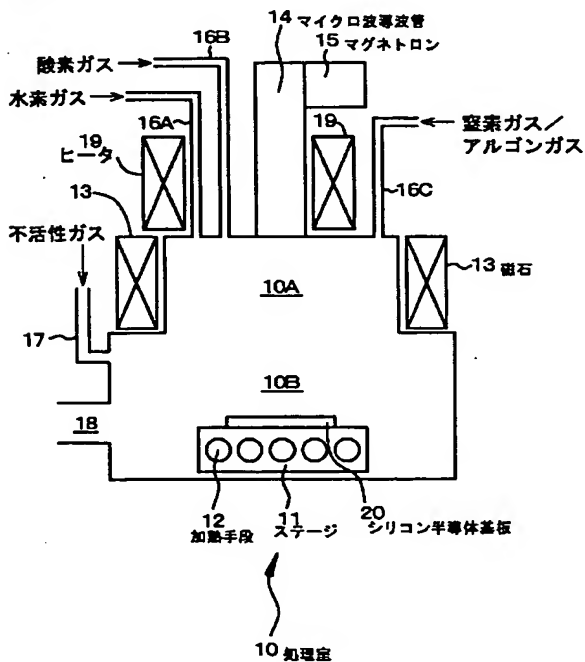
【図12】クラスターツール装置の模式図である。

【符号の説明】

10・・・処理室、10A・・・プラズマ生成領域、10B・・・プラズマ処理領域、11・・・ステージ、12・・・加熱手段、13・・・磁石、14・・・マイクロ波導波管、15・・・マグネトロン、16A、16B、16C・・・ガス導入部、17・・・ガス導入部、*

【図1】

【図1】

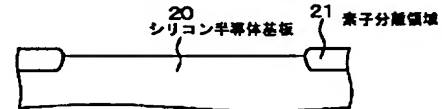


* 18・・・ガス排気部、19・・・ヒータ、20・・・シリコン半導体基板、21・・・素子分離領域、22・・・ゲート絶縁膜、23、123・・・ゲート電極、23A・・・シリコン層、23B・・・反応防止層、23C・・・金属層、23D・・・酸化膜、24・・・低濃度の不純物領域、25・・・酸化性ガス透過層、26・・・レジスト層、27・・・耐酸化性層、28・・・レジスト層、29・・・サイドウォール、30・・・ソース/ドレイン領域、31・・・チャネル形成領域、32・・・層間絶縁層、33・・・配線、40・・・耐酸化性層、41・・・耐酸化性膜、50・・・酸化炉、51・・・ガス流路、52・・・ガス導入部、53・・・ガス排気部、54・・・ヒータ、55・・・シャッター、56・・・均熱管、60・・・基板搬出入部、61・・・ガス導入部、62・・・ガス排気部、63・・・エレベータ機構、64・・・石英ポート、70・・・燃焼室、71、72、73・・・配管

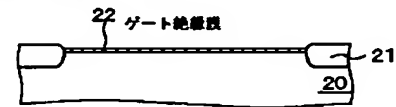
【図2】

【図2】

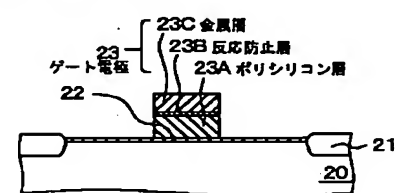
(A) 【工程-100】



(B) 【工程-110】



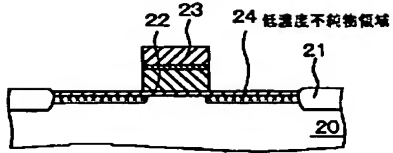
(C) 【工程-120】



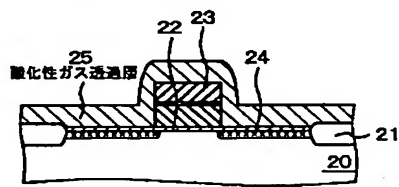
【図3】

【図3】

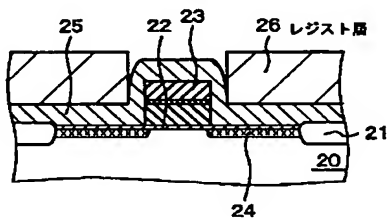
(A) 【工程-130】



(B) 【工程-140】



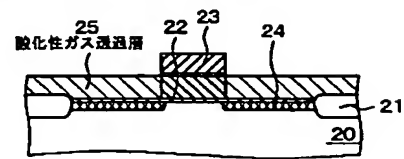
(C) 【工程-140】 続き



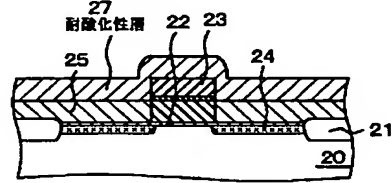
【図4】

【図4】

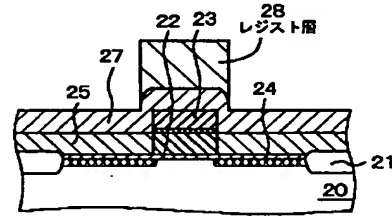
(A) 【工程-140】 続き



(B) 【工程-150】



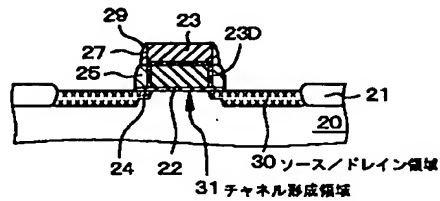
(C) 【工程-160】



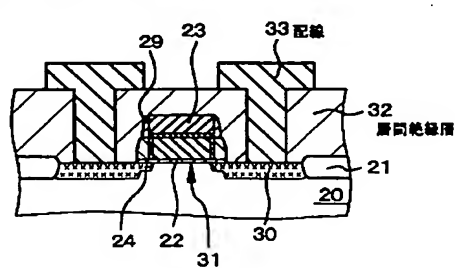
【図6】

【図6】

(A) 【工程-180】 続き



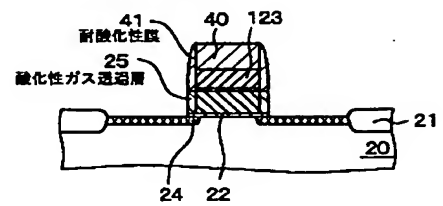
(B) 【工程-180】 続き



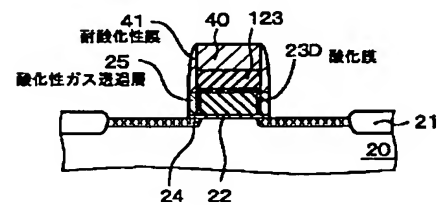
【図10】

【図10】

(A) 【工程-650】



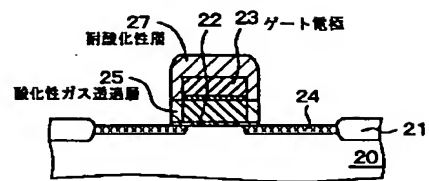
(B) 【工程-660】



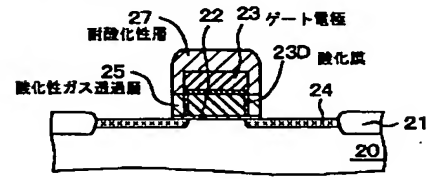
【図5】

【図5】

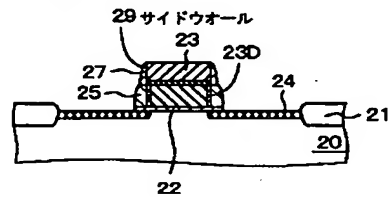
(A) 【工程-160】 焼き



(B) 【工程-170】



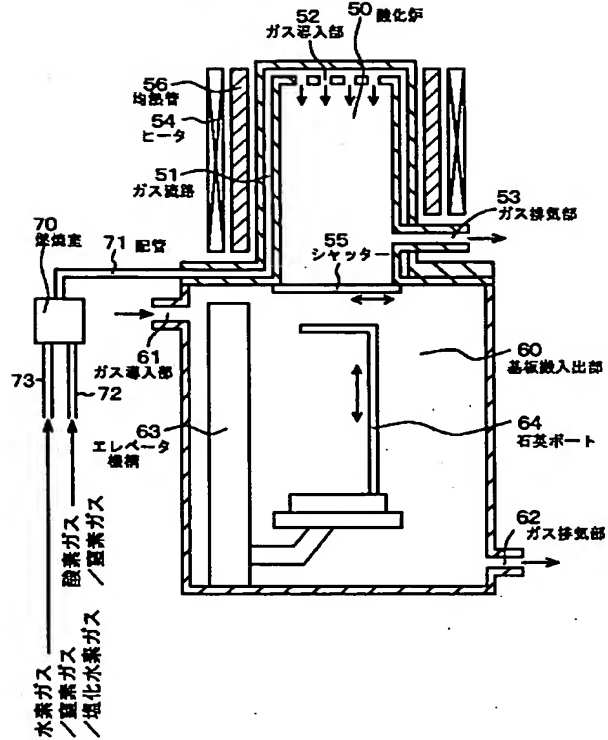
(C) 【工程-180】



【図7】

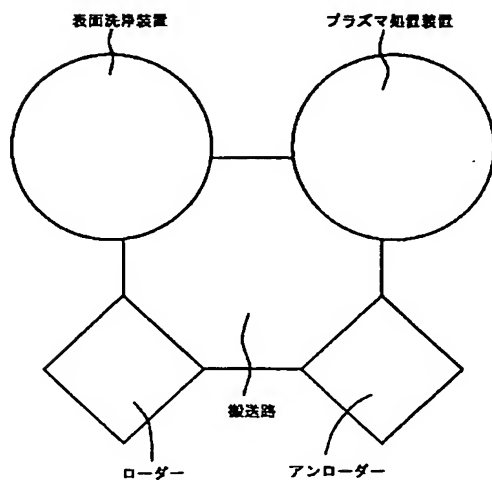
【図7】

シリコン酸化膜形成装置



【図12】

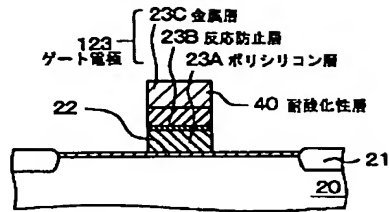
【図12】



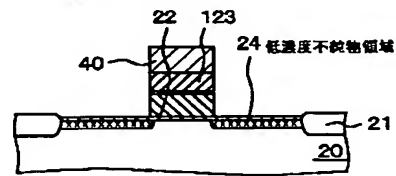
【図8】

【図8】

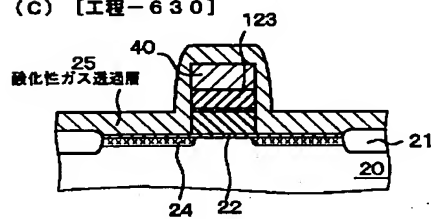
(A) 【工程-610】



(B) 【工程-620】



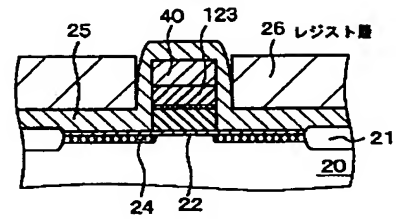
(C) 【工程-630】



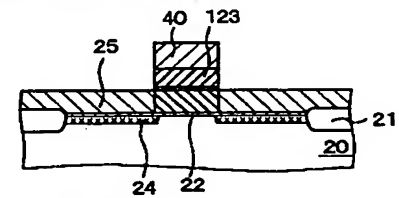
【図9】

【図9】

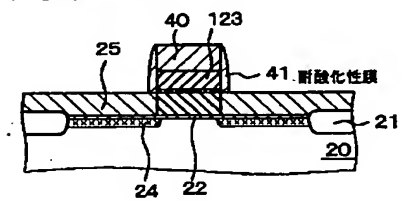
(A) 【工程-630】 続き



(B) 【工程-630】 続き



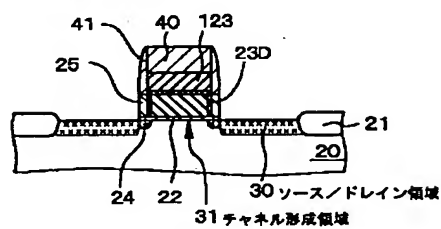
(C) 【工程-640】



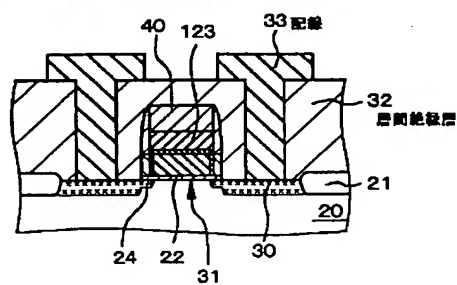
【図11】

【図11】

(A) 【工程-670】



(B) 【工程-670】 続き



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB16 BB18 BB29
BB30 BB33 BB40 CC05 DD04
DD08 DD37 DD43 DD65 DD89
EE05 EE09 EE12 EE14 EE17
FF18 GG09 GG10 GG14 HH04
HH08
5F040 DB03 EC02 EC03 EC07 EK01
FA05 FC02
5F058 BA20 BC02 BF37 BF39 BF55
BF73 BJ01 BJ07
5F110 AA03 AA04 EE04 EE09 EE15
EE33 EE44 EE45 FF02 FF25
NN23 NN28 NN37